

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年6月21日 (21.06.2001)

PCT

(10) 国際公開番号
WO 01/45470 A1

(51) 国際特許分類⁷: H05B 37/02, H02M 7/06, H01L 33/00

〒611-0011 京都府宇治市五ヶ庄芝ノ東20-15 Kyoto (JP).

(21) 国際出願番号: PCT/JP00/08838

(74) 代理人: 佐野惣一郎(SANO, Souichirou); 〒153-0043 東京都目黒区東山1-16-15 イーストヒル4階 Tokyo (JP).

(22) 国際出願日: 2000年12月14日 (14.12.2000)

(25) 国際出願の言語: 日本語

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願平 11/354229
1999年12月14日 (14.12.1999) JP

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

(71) 出願人 (米国を除く全ての指定国について): 株式会社 タキオン (TAKION CO., LTD.) [JP/JP]; 〒141-0031 東京都品川区西五反田2-29-9 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 斉藤 豊 (SAITO, Yutaka) [JP/JP]. 尾崎好栄 (OZAKI, Kouei) [JP/JP]; 〒141-0031 東京都品川区西五反田2-29-9 株式会社 タキオン内 Tokyo (JP). 成川利明 (NARUKAWA, Toshiaki) [JP/JP]; 〒146-0091 東京都大田区鵜の木2-38-18 ハウス 238A102 Tokyo (JP). 太田 勉 (OTA, Tsutomu) [JP/JP];

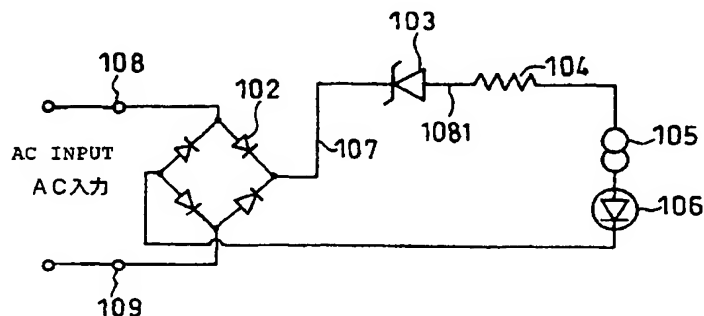
添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: POWER SUPPLY AND LED LAMP DEVICE

(54) 発明の名称: 電源装置及びLEDランプ装置



(57) Abstract: An LED lamp device includes a power supply (102, 103) receiving AC power, and an LED lamp (106) consisting of one LED, or a plurality of LEDs connected in series, connected to the output of the power supply (102, 103). The power supply part (102) receives rectified AC supply voltage and supplies the LED lamp (106) for only a fraction of each half cycle during which a desired voltage is exceeded.

[続葉有]

WO 01/45470 A1



(57) 要約:

本発明によるLEDランプ装置は、交流電源が入力される電源装置部（102、103）と、この電源装置部（102、103）の出力端に接続される1個または直列接続された複数個のLEDからなるLEDランプ（106）とを備え、電源装置部（102）は、交流電源電圧の整流波形を得て、その整流波形中の交流電源電圧波形の半周期に相当する各波形の所望の電圧値以上の期間中の一部の期間でのみ電力を取り込み、LEDランプ（106）の点灯用電源とするものである。

明 細 書

電源装置及びLEDランプ装置

技術分野

本発明は、LED (Light Emitting Diode ; 発
5 光ダイオード) を用いて表示や照明を行うランプ装置に係り、特に、交
流電源に直接接続 (直結) 可能なLEDランプ装置に関するものである
。

背景技術

10 事業所建物、集合住宅、公共施設建物等で用いられている各種表示灯
、例えば消火栓灯、非常灯、あるいは券売機、自動販売機、エレベータ
等の操作ボタンランプ等は今もってタングステンフィラメントを使用し
た白熱ランプが主流である。また、屋内の照明器具用ランプも、用途に
よってはまだまだ白熱ランプが主流である。

15 一方、近年の半導体素子技術の進展でLEDは、発光色の種類、輝度
、耐久性、消費電力 (発光効率) の観点から、上記白熱ランプを凌駕す
る性能に達しているにも拘わらず、上記用途にはほとんど使用されてい
ないのが現状である。

表示や照明を行うランプは、通常、商用交流電源 (日本国内 : 100
20 V、米国 : 110 V、欧州 : 230 V等) に直結して使用するのが前提
だからである。

すなわちLEDは、周知のように直流 (DC) 数Vの電源電圧で動作
するものであり、したがって従来これを使用するには、商用交流電源を

D C数Vに変換する電源装置部が別途必要となり、LEDランプ装置全体が高価かつ大形になるからである。

このような実情にあっても、従来から、LEDを何とかして商用交流電源に直結使用可能にしようとする試みがある。その例を図を用いて以下に説明する。

5 下に説明する。

図23は、従来例1のLEDランプ装置を示す回路図である。

この図24において、2003はAC入力端子H (HOT LINE ; ホットライン)、2004はAC入力端子C (COOL LINE ; クールライン)、2002は全波整流用ダイオードブリッジ (BrD1)、
10 2005はシリーズ抵抗 (Rp)、2006は定電流素子 (CRD ; Current Regulated Diode)、2007はLEDランプである。

上記LEDランプ2007は、VF (順方向降下電圧) 2V程度のLEDが2～8個程度、直列接続されてなるものが多く、したがってVF
15 は4～16Vとなる。ダイオードブリッジ2002より送出される全波整流波形のせん頭電圧は実効値100Vの日本国内の場合、およそ140Vとなる。

必要な発光輝度を得るためのLEDのIF (順方向電流) をおよそ10mAとすると、LEDが仮に1個だとするとVFが2Vであるから、
20 抵抗2005と定電流素子2006で負担することになる電圧は140V - 2V = 138Vとなり、 $138V \times 10mA = 1.38W$ が熱となって放出されてしまう。

一方、発光に寄与する電力は $2V \times 10mA = 0.02W$ となり、その効率は、

25 $0.02W / (1.38W + 0.02W) = 0.014$

となり、1.4%に過ぎず、99%近くが熱で放出されてしまうことに

なる。

図 2 4 は従来例 2 の L E D ランプ装置を示す回路図である。

この図 2 4 において、2 1 0 5 は電圧レギュレータ (V reg1)、2 1 0 6 は電流制限用抵抗 (R c) である。その他、図 2 4 において図 2 3 と同一符号は同一または相当部分を示す。

この従来例 2 では、全波整流 A C 波形の電圧変動分は電圧レギュレータ 2 1 0 5 が平衡化するため、上述従来例 1 における定電流素子 C R D は不要となり、発光も安定するが、電力効率的については、基本的には電圧のシリーズレギュレーションのため上述従来例 1 と全く同一（低効
10 率）である。

上記のように従来技術では、いずれも低効率、高損失であり、従来、この点の改善が要望されていた。

本発明の目的は、高効率、低損失の電源装置及び L E D ランプ装置を提供することにある。

15

発明の開示

上記課題を解決するため、第 1 の発明は、交流電源電圧の整流波形を得る整流波形取得手段と、この整流波形取得手段による整流波形中の交流電源電圧波形の半周期に相当する各波形の所望の電圧値以上の期間中の一部の期間でのみ電力を取り込んで負荷の作動用電源として出力するための電源出力手段とを具備することを特徴とするものである。
20

第 2 の発明は、電源電圧の整流波形を得る整流用ダイオードブリッチと、発振回路部と、クロック信号制御回路部と、スイッチドキャパシタ降圧回路部とを備え、前記スイッチドキャパシタ降圧回路部は、直列に
25 接続され且つ 2 つの位置に切り換え可能な複数の切り換えスイッチと、切り換えスイッチ間に配置されたコンデンサとを備え、各切り換えスイ

ッチは、クロック信号制御回路部により 2 つの位置に切り換えられて、一方の位置でコンデンサへ充電を行ない、他方の位置でコンデンサからの放電がなされて、負荷に電力を供給することを特徴とするものである。

- 5 第 3 の発明は、入力端子から交流電源が入力され、出力端子に接続される負荷に電力を供給する電源装置であって、発振回路部と、クロック信号制御回路部と、電流検出回路部と、2 つのスイッチドキャパシタ降圧回路部とを備え、前記 2 つのスイッチドキャパシタ降圧回路部は、一方のスイッチドキャパシタ降圧回路部の高電圧側入力端子及び他方のス
- 10 イッチドキャパシタ降圧回路部の低電圧側入力端子を電源装置部の一方の入力端子に、他方のスイッチドキャパシタの低電圧側入力端子と他方のスイッチドキャパシタ降圧回路部の高電圧側入力端子を電源装置部の他方の入力端子に接続していることを特徴とするものである。

- 第 4 の発明は、交流電源が入力される電源装置部と、この電源装置部
- 15 の出力端に接続される 1 個または直列接続された複数個の L E D からなる L E D ランプとを備え、前記電源装置部は、交流電源電圧の整流波形を得て、その整流波形中の前記交流電源電圧波形の半周期に相当する各波形の所望の電圧値以上の期間中の一部の期間でのみ電力を取り込み、前記 L E D ランプの点灯用電源とすることを特徴とするものである。

- 20 第 4 の発明において、電源装置部は、整流用ダイオードブリッチと、低電圧素子としてのツェナーダイオードとを直列に配置してなり、入力電圧をダイオードブリッチで整流した後、ツェナーダイオードが、所定電圧値以上の期間でのみ電力を取り込んで L E D ランプを点灯させることが望ましい。

- 25 第 5 の発明は、交流または直流電源が入力される電源装置部と、この電源装置部の出力端に接続される 1 個または直列接続された複数個の L

EDからなるLEDランプとを備え、1個または複数のLEDランプにはツェナーダイオードが並列に接続されていることを特徴とするものである。

5 第5の発明において、LEDランプが複数個の場合には、電源装置部の出力端とLEDランプとの間に定電流素子を直列に接続することが望ましい。いずれかのLEDランプが切れて消灯しても、残りのLEDランプの点灯を維持できるからである。

10 第5の発明において、ツェナーダイオードのツェナー電圧は、ツェナーダイオードに並列に接続されているLEDランプの順方向降下電圧に対して10%以上30%以下の範囲で高いことが望ましい。10%よりも小さいと暗点灯を有効に防止できないとともに、30%を超えると過大電流からのLEDランプの保護が十分でなくなるからである。

15 第6の発明は、交流または直流電源が入力される電源装置部と、この電源装置部の出力端に接続される1個または直列接続された複数個のLEDからなるLEDランプとを備え、前記電源装置部は、電流検出回路部と、入力電圧検出部と、発振回路部と、スイッチング回路部と、スイッチング素子とを備え、スイッチング回路部は電流検出回路部及び入力電圧検出部からの信号を受けてスイッチング素子をON、OFF制御することを特徴とするものである。

20 第6の発明において、電源装置部は、電源電圧の整流波形を得て、その整流波形中の前記交流電源電圧波形の半周期に相当する各波形の所望の電圧値以上の期間中の一部の期間でのみ電力を取り込んで前記LEDランプの点灯用電源としていることが望ましい。

25 第7の発明は、交流または直流電源が入力される電源装置部と、この電源装置部の出力端に接続される1個または直列接続された複数個のLEDからなるLEDランプとを備え、前記電源装置部は、入出力電圧検

出部と、発振回路部と、スイッチング制御回路部と、スイッチング素子と、電流検出回路部とを備え、スイッチング制御回路部は入出力電圧検出部及び電流検出回路部からの信号を受けてスイッチング素子をON、OFF制御することを特徴とするものである。

5 第8の発明は、交流または直流電源が入力される電源装置部と、この電源装置部の出力端に接続される1個または直列接続された複数個のLEDからなるLEDランプとを備え、前記電源装置部は、整流用ダイオードブリッチと、電流検出回路部と、入力電圧検出部と、発振回路部と、スイッチング回路部と、スイッチング素子とを備え、前記スイッチング回路部は、電流検出回路部及び入力電圧検出部からの信号を受けてス
10 イッチング素子をON、OFF制御するものであり、前記スイッチング素子とLEDランプとの間にコンデンサを備え、スイッチング素子のON時にコンデンサに充電し、スイッチング素子のOFF時にコンデンサからLEDに電力を供給することを特徴とするものである。

15 第9の発明は、交流または直流電源が入力される電源装置部と、この電源装置部の出力端に接続される1個または直列接続された複数個のLEDからなるLEDランプとを備え、前記電源装置部は、電源電圧の整流波形を得る整流用ダイオードブリッチと、発振回路部と、クロック信号制御回路部と、スイッチドキャパシタ降圧回路部とを備え、前記スイ
20 ッチドキャパシタ降圧回路部は、直列に接続され且つ2つの位置に切り換え可能な複数の切り換えスイッチと、切り換えスイッチ間に配置されたコンデンサとを備え、各切り換えスイッチは、クロック信号制御回路部により2つの位置に切り換えられて、一方の位置でコンデンサへ充電を行ない、他方の位置でコンデンサからLEDランプへの放電がなされ
25 て、LEDランプを点灯させることを特徴とするものである。

第10の発明は、交流電源が入力される電源装置部と、この電源装置

部の出力端に接続される 1 個または直列接続された複数個の LED からなる LED ランプとを備え、前記電源装置部は、発振回路部と、クロック信号制御回路部と、電流検出回路部と、2 つのスイッチドキャパシタ降圧回路部とを備え、前記 2 つのスイッチドキャパシタ降圧回路部は、

5 一方のスイッチドキャパシタの高電圧側入力端子と他方のスイッチドキャパシタ降圧回路部の低電圧側入力端子を電源装置部の一方の入力端子に、他方のスイッチドキャパシタの低電圧側入力端子と他方のスイッチドキャパシタ降圧回路部の高電圧側入力端子を電源装置部の他方の入力端子に接続していることを特徴とするものである。

10 上記発明において、電源装置部は、フレキシブルプリント回路基板上に構成されており、このフレキシブル回路基板は略 S 字形状に屈曲させて配置することが望ましい。更に、電源装置部は、略 S 字の対向する部位に端子を設け、且つ AC 入力端子の一方をフレキシブル回路基板の表に他方を裏に設けることが望ましい。装置の省スペース化を図りつつ

15 絶縁性の確保や特性及び信頼性の向上を図ることができるからである。

また、電源装置部は、設定平均電流値よりも高い電流値のピークを有するパルス電流を発し、そのパルス電流の周波数は 100 Hz 以上であることが望ましい。少ない電力で体感輝度を高めることができるからである。

20 上記の第 1 ～第 4 及び第 6 ～第 10 の発明によれば、電源電圧の一部の期間でのみ電力を取り込み、負荷の作動用電源として出力するように電源装置を構成したので、電源電圧以上の所望の電圧にて、高効率、低損失の電源装置及びそれを電源装置部として用いた LED ランプ装置を提供できるという効果がある。

25 上記の第 5 の発明によれば、高効率、低損失であるとともに暗点灯の防止と過大電流からの LED ランプの保護を図ることができる。

図面の簡単な説明

- 図 1 は、本発明装置の第 1 実施形態を示す回路図である。
- 図 2 は、第 1 実施形態の動作説明図である。
- 5 図 3 は、本発明装置の第 2 実施形態を示す回路図である。
- 図 4 は、同上第 2 実施形態の動作説明図である。
- 図 5 は、同上第 2 実施形態での具体的な回路構成例を示す図である。
- 図 6 は、本発明装置の第 3 実施形態を示す回路図である。
- 図 7 は、本発明装置の第 4 実施形態を示す回路図である。
- 10 図 8 は、同上第 4 実施形態の動作説明図である。
- 図 9 は、同上第 4 実施形態での具体的な回路構成例を示す図である。
- 図 10 は、本発明装置の第 5 実施形態を示す回路図である。
- 図 11 は、図 10 中のスイッチドキャパシタ降圧回路部の動作原理の説明図である。
- 15 図 12 は、同上スイッチドキャパシタ降圧回路部の具体的な回路構成例を示す図である。
- 図 13 は、本発明装置の第 6 実施形態を示す回路図である。
- 図 14 は、図 13 中のスイッチドキャパシタ降圧回路部の具体的な回路構成例を示す図である。
- 20 図 15 は、本発明装置の構造例を示す図である。
- 図 16 は、本発明装置の他の構造例を示す図である。
- 図 17 は、図 16 中のフレキシブルプリント回路基板部分の断面矢視図（第 1 例）である。
- 図 18 は、同じく断面矢視図（第 2 例）である。
- 25 図 19 は、同じく断面矢視図（第 3 例）である。
- 図 20 は、本発明装置の第 7 実施形態を示す回路図である。

図 2 1 は、第 7 実施形態における LED ランプとツェナーダイオード
とについて、電流と電圧との関係を示すグラフである。

図 2 2 は、本発明装置の第 8 実施形態を示す回路図である。

図 2 3 は、従来装置（例 1）を示す回路図である。

5 図 2 4 は、従来装置（例 2）を示す回路図である。

発明を実施するための最良の形態

以下、図面を参照して本発明の実施形態を説明する。

図 1 は、本発明による電源装置及び LED ランプ装置の第 1 実施形態
10 を示す回路図である。

この図 1 において、102 は全波整流用ダイオードブリッジ（BrD1）
、103 は定電圧素子、ここではツェナーダイオード（Dz1）、10
4 はシリーズ抵抗（Rp）、105 は定電流素子（CRD；Curre
nt Regulated Diode）1、106 は LED ランプで
15 ある。

なお、108 は AC 入力端子 H（HOT LINE；ホットライン）
、109 は AC 入力端子 C（COOL LINE；クールライン）であ
る。AC 入力電圧は商用 100V である。

ここで、LED ランプ 106 は、アノードが定電流素子（CRD1）
20 105、シリーズ抵抗 104 及び図示極性のツェナーダイオード 103
を順に直列に介して全波整流用ダイオードブリッジ 102 の正極出力端
に接続され、カソードが同ダイオードブリッジ 102 の負極出力端に直
結されている。また、LED ランプ 106 は 1 個または複数個直列接続
された LED からなる。なお、LED ランプ 106 を除いた回路部分が
25 電源装置部を構成する（以下の各実施形態において同じ）。

次に、上述第 1 実施形態の動作を、図 2 を併用して説明する。

図2は図1中のノードA107及びノードB1081の電圧波形図で、図中、縦軸が電圧（v）、横軸が時間（t）、201がノードA107の電圧波形、202がノードB1081の電圧波形を示す。

AC入力電圧のピーク値は約140V、ツェナーダイオード103のツェナー電圧 V_Z は100Vである。

図2から分るように、ここでは、AC入力電圧100Vがダイオードブリッジ102で全波整流され、ツェナーダイオード103により100Hz全波整流波形の100V以上の期間にてLEDランプ106が点灯（点滅点灯）する。

この時の点滅期間の割合、すなわちLEDランプ106のON, OFFデューティは6:4（100Hz）であり、発光にちらつきを感じさせない範囲での電力高効率化（低損失化）が図れる。

LEDランプ106への印加電圧のピーク値は、LEDランプ106、定電流素子105及びシリーズ抵抗103への印加電圧のピーク電圧が、ツェナー電圧 V_Z を超えた分だけであるから、ここでは約40Vである。

LEDランプ106への通電電流は、定電流素子105により定電流化が図られている。

図3は、本発明による電源装置及びLEDランプ装置の第2実施形態を示す回路図である。

この図3において、303はコンデンサ（C1）、304、305は分圧用の抵抗（R1、R2）、306は電源系1V_{ddH}ライン、307は電流検出回路部（IDET）、308はGND（接地）ライン、309はゼロクロス対応の入力電圧検出回路（VDET）、310は発振・分周回路部（Osc・Div）、311～313は作用線、314は電源系2V_{ddL}ライン、315はインダクタ（コイル）、316はNチャンネル型MOS

F E Tからなるスイッチング素子、317はフライホイールダイオード、322はスイッチング制御回路部（SWCont）である。その他、図3において図1と同一符号は同一または相当部分を示す。

ここで、抵抗304、305は直列接続されて全波整流用ダイオードブリッジ102の出力電圧を分圧するもので、その分圧点は入力電圧検出回路309の入力端及び発振・分周回路部310の作動電源入力端及び電源系2VddLライン314に接続されている。コンデンサ303は同分圧点及び接地間に接続されている。

LEDランプ106、インダクタ315及びスイッチング素子316は直列接続されて電源系1VddHライン306及びGNDライン308間に挿入されており、電流検出回路部307は電源系1VddHライン306中に挿入されている。LEDランプ106は、ここでは2～8個のLEDを直列接続してなる。

フライホイールダイオード317はLEDランプ106及びインダクタ315の直列回路に並列に接続されている。

スイッチング制御回路部322は、電源系2VddLライン314から作動電源を受け、電流検出回路部307、入力電圧検出回路309及び発振・分周回路部310から信号を受けて、スイッチング素子316（LEDランプ106）を後述するようにON、OFF制御するものである。

次に、上述した第2実施形態の動作を、図4を併用して説明する。

図4は図3中のノードA107及びノードB321の電圧波形図で、図中、縦軸が電圧（v）、横軸が時間（t）、401がノードA107の電圧波形、402がノードB321の電圧波形を示す。

AC入力電圧のピーク値は約140Vである。ここでは、入力電圧（ノードA107の電圧）が0Vから40Vに上昇したときスイッチング

制御回路部 3 2 2 が作動し、ピーク値を経て 4 0 V に下降したときに同制御回路部 3 2 2 が作動停止する設定となされている。抵抗 3 0 4, 3 0 5 の分圧点電圧（電源系 2 V ddL ライン 3 1 4 の電圧）は、ここでは 5 V で、スイッチング制御回路部 3 2 2 は作動時の ON 電圧も 5 V である

5 。

図 4 から分るように、ここでは、AC 入力電圧 1 0 0 V がダイオードブリッジ 1 0 2 で全波整流され、スイッチング制御回路部 3 2 2 により全波整流波形の 4 0 V 以上の期間にてスイッチング素子 3 1 6 が ON, OFF 制御（PWM 制御）され、LED ランプ 1 0 6 が点灯（点滅点灯）する。

10

上記スイッチング素子 3 1 6 の ON, OFF 周波数、すなわち LED ランプ 1 0 6 の ON, OFF 周波数は、ここでは 4 0 k H z であり、発光にちらつきを感じさせない範囲での電力高効率化（低損失化）が図れる。

15

LED ランプ 1 0 6 への通電電流はスイッチング制御回路部 3 2 2 により定電流化が図られており、負荷（LED ランプ 1 0 6 を構成する LED の個数）が変化しても同一電流を流すことができる。

20

コンデンサ 3 0 3 には、抵抗 3 0 4, 3 0 5 で分圧された電圧、ここでは約 5 V が印加されるに過ぎないので、耐圧が低いもので済むし、入力電圧検出回路 3 0 9、発振・分周回路部 3 1 0 及びスイッチング制御回路部 3 2 2 への電源供給機能を果たすだけなので容量も小さいもので済む。

25

更に、上記の「定電流」とは、平均電流での定電流を指すものであり、本実施形態では、発振回路部を用いてスイッチングしているので、例えば、1 0 m A の定電流が必要な場合、ピーク電流を 3 0 m A としデューティ比 3 0 % の駆動をすれば、平均で 1 0 m A となる。LED の発光

用途としては、むしろこのような駆動方法の方が望ましい。なぜならば、人間の体感輝度に対してLEDの電流・輝度特性はリニアでなくいわゆるスパーリニアという特性を示すからであり、例えば、電流を2倍にした場合に、一般に、輝度は2倍でなく2のn乗（nは1以上）倍になるからである。これは、人間の目はピークでの輝度を残像として残すので、同じ平均電流ならDC的電流よりピーク電流を高く設定したデューティ駆動（一般に、「パルス駆動」と称する）の方が明るく感じるというものだからである。このようなパルス駆動を用いれば、同じ体感輝度を得るためにより少ない電力で済む。ただし、同様の体感を得る上で100Hz以上でのパルス駆動でないと、今度はチラツキが認識できてしまうという不都合が生じることになるので、100Hz以上でのパルス駆動が望ましい。このようなパルス駆動は、後述する発振回路部を有する第3、5実施形態でも同様に有効であり、また、第4、第6実施形態でも発振回路部は有さないが、100Hz以上のACで動作させる限りにおいてはやはり同様に有効である。

また、ここでは、電源系2V_{dd}を抵抗分割で簡易に構成したが、勿論別途能動的（スイッチング等）電源回路を構成（または使用）してもより動作が安定することになり、便利である。また、ここでは、入力ピーク電圧140Vに対して動作開始入力電圧V_{DET}を40Vと設定したが、このように入力に対してV_{DET}を数10%以上と設定することではスイッチングレギュレータとしてのON/OFFの比率（デューティ）を極端に小さく（下で数%とか）する必要がなくなり、回路的に設計上のマージンが楽に確保できる。一方、前述したように、スイッチング周波数とは別にあまりV_{DET}を高くしていくと今度は、AC周波数、例えば100Hzがちらつきとして現出することになり、入力AC周波数が例えば50Hz以下とかの場合そのちらつきを体感できるようになり、

問題となってくる。その場合、動作開始入力電圧 V_{DET} を 3 ~ 40 V のように小さくすることで AC 周波数が 50 Hz 以下になっても全くちらつきの心配をすることなく、動作させることが可能となる。しかし、この場合、デューティが極端に小さく（最低数%以下となり、ほとんどスパイク状のパルス）のことがあり得る）なることがある。前述した回路的な設計マージンはこのような場合の使用するインダクタ要素の特性（DC 抵抗成分）やスイッチング素子の特性（スピード）を高性能のものにする必要があるということである。

もともと使用する各要素（素子）をある程度高性能にしておいて、デューティのこのようなダイナミックレンジの心配（下でスパイク状のパルスによること）や AC 周波数の現出の心配をすることのないよう V_{DET} を 3 ~ 40 V にし、むしろ V_{DET} による動作を発振回路部やスイッチング制御回路部の安定動作（これら回路部が正しく動作できる電圧になってから出力を出す制御するということ）に役立てるものとするものでも充分有益であり、本実施形態の本質は変わるものではないものである。

なお、図 5 に上述第 2 実施形態での具体的な回路構成例を示しておく。この図 5 において、502 は 1 チップ（モノリシック）IC による集積回路部を示す。この集積回路部 502 中のスイッチング素子 316 部分は集積回路部 502 外に構成することもある。その他、図 5 において図 3 と同一符号は同一または相当部分を示す。

図 6 は、本発明による電源装置及び LED ランプ装置の第 3 実施形態を示す回路図である。この図 6 において、609 は入出力電圧検出回路、620 はコンデンサ（C2）、621 はシリーズ抵抗（Rs）である。その他、図 6 において図 3 と同一符号は同一または相当部分を示すが、ここでは、スイッチング素子 316 は PNP 型トランジスタからなり、

LEDランプ106から見て全波整流用ダイオードブリッジ102の正極出力端側に、そのエミッターコレクタ間を順方向に向けて挿入されている。一方、電流検出回路部307は同上ダイオードブリッジ102の負極出力端側に挿入されている。

- 5 また、インダクタ315は、上記トランジスタからなるスイッチング素子316及びLEDランプ106相互間に挿入されており、上記シリーズ抵抗621はそのインダクタ315及びLEDランプ106相互間に挿入されている。

- 10 入出力電圧検出回路609は、出力電圧を検出するもので、出力電圧の検出値は入力電圧の検出値と同様にスイッチング制御回路部322に与える。すなわち入出力電圧検出回路609は、ここでは出力電圧を検出してリミッタとしての役割を担っており、電源装置部（LEDランプ106を除いた回路部分）を、通常は電圧帰還型のスイッチング電源として機能させるが、LEDランプ106が接続された時には電流帰還型のスイッチング電源に切り替わって機能するようにスイッチング制御回路部322を制御すべく構成されている。

- 20 即ち、入力電圧検出回路609は、LEDランプに対する出力電圧を一定に保つための出力電圧レギュレータとして動作するもので、例えば、図6に示す回路では、出力電圧が16VでLEDランプが2Vの場合に、負荷が10mAを超えると出力電圧を2Vとする。換言すれば、出力電圧が2V乃至16Vの間では10mAの定電流動作をする。

尚、第3実施形態では、スイッチング素子316はNチャンネル型MOSFETまたはPNP型トランジスタのいずれでもよい。

- 25 図7は、本発明による電源装置及びLEDランプ装置の第4実施形態を示す回路図である。

この図7において、708はゼロクロス対策用の抵抗（R3）、71

1 は作用線、7 1 2 はON/OFF制御回路部 (ON, OFF Cont)、
、7 1 6 はコンデンサ (C3)、7 1 7 はコンデンサ (C4) である。そ
の他、図 7 において図 6 と同一符号は同一または相当部分を示すが、こ
こではコンデンサ 7 1 6 はスイッチング素子 3 1 6 の出力電圧 (ノード
5 B 7 1 5 の電圧) の平滑化の機能を果たすが、コンデンサ 7 1 7 はシリ
ーズ抵抗 6 2 1 と共に放充電回路を構成している。LED ランプ 1 0 6
は、ここでは 2 ～ 数 1 0 0 個直列接続された LED からなる。

更に、図 6 に示す第 3 実施形態における電流検出回路部 3 0 7、発振
・分周回路部 3 1 0、フライホイールダイオード 3 1 7 等は備えておら
10 ず、他方、スイッチング制御回路部 3 2 2 に代えてON/OFF制御回
路部 7 1 2 を備える。このON/OFF制御回路部 7 1 2 は、入出力電
圧検出回路 6 0 9 から信号を受けてスイッチング素子 3 1 6 を後述する
ようにON, OFF制御するものである。

すなわちこの第 4 実施形態は、消費電流 (電力) のさらなる低減のため
15 にスイッチング素子 3 1 6 のOFF期間を延長し、そのOFF期間は
コンデンサ 7 1 6, 7 1 7 にて電源供給し、LED ランプ 1 0 6 を点灯
させるようにしたものである。

またこの第 4 実施形態では、スイッチング素子 3 1 6 のON, OFF
電圧はON/OFF制御回路部 7 1 2 にて設定、例えばON電圧 3 0 V
20 、OFF電圧 1 6 V というように設定でき、スイッチング素子 3 1 6 と
して耐圧の小さなトランジスタの使用を可能としている。

次に、上述第 4 実施形態の動作を、図 8 を併用して説明する。

図 8 は図 7 中のノード A 1 0 7 及びノード B 7 1 5 の電圧波形図で、
図中、縦軸が電圧 (v)、横軸が時間 (t)、8 0 1 がノード A 1 0 7
25 の電圧波形、8 0 2 がノード B 7 1 5 の電圧波形を示す。

ON/OFF制御回路部 7 1 2 では、AC入力電圧のピーク値は約 1

40 Vであり、入力電圧（ノードA107の電圧）が0 Vから30 Vに上昇したときスイッチング素子がONになり、30 Vを超えるとスイッチング素子がOFFになるように作動する。その後、ノードB電圧は下降していき、その下降時のノードBのある値（略上記30 V）から16 Vまでスイッチング素子はOFFのままであり、16 Vを下回るとスイッチング素子は再びONする。ON/OFF制御回路部712では、以上の動作を繰り返す。

即ち、この第4実施形態では、AC入力電圧100 Vがダイオードブリッジ102で全波整流され、ON/OFF制御回路部712により全波整流波形の30 V以下の期間内で、かつ出力電圧（ノードB715の電圧）が16 Vに下降するまでの期間にてスイッチング素子316がONされ、それ以降で全波整流波形の30 Vに達する間はコンデンサ716, 717にて電源供給し、LEDランプ106を低電力にて連続点灯させる。これによれば、発光にちらつきを生じさせずに電力高効率化（低損失化）が図れる。

また、ON/OFF制御回路部712の作動及び作動停止電圧は任意の個数のLEDの直列接続からなるLEDランプ106が点灯するのに必要な最低電圧に任意に設定できる。更に、同上LEDランプ106への供給電流もシリーズ抵抗621及びコンデンサ716, 717の設定により任意に設定でき、大電流駆動が可能であるので、LEDランプ106を構成するLEDの直列接続個数は数100個まで可能となる。

また、ここでは、分かり易くするため、入力をACとして説明してきたが、入力がDCであっても本実施形態では、同様に所望の動作をすることは言うまでもない。

なお、図9に上述第4実施形態での具体的な回路構成例を示しておく。この図9において、図7と同一符号は同一または相当部分を示す。

図10は、本発明による電源装置及びLEDランプ装置の第5実施形態を示す回路図である。

この図10において、1011は発振回路部（Osc）、1013はクロック信号制御回路部（CLKCont）、1018はスイッチドキャパシタ降圧回路部（SCConv）、1021、1023は作用線、1025はブリーダ抵抗（RB）である。その他、図9において図1、図6と同一符号は同一または相当部分を示すが、ここでは、LEDランプ106への電源供給のON、OFF制御、電圧降圧機能及び定電流制御をスイッチドキャパシタ降圧回路部1018で行なうものである。

このスイッチドキャパシタ降圧回路部1018は、クロック信号制御回路部1013、電流検出回路部307からの信号を受けて定電流素子105からの全波整流用ダイオードブリッジ102の正極出力（HV）を制御し、直流出力DCOUTをLEDランプ106に与えて点灯するものである。

スイッチドキャパシタ降圧回路部1018は、HV入力端子1018a、HV出力端子1018b、LV出力端子1018c、クロック入力端子1018d、反転クロック入力端子1018e、接地端子1018fを備えてなる。

このうち、HV入力端子1018aは定電流素子105を介して正極出力端に、HV出力端子1018bはLEDランプ106のアノードに、LV出力端子1018cは電流検出回路部307を介してLEDランプ106のカソードに、各々接続される。またクロック入力端子1018d、反転クロック入力端子1018eはクロック信号制御回路部1013のクロック出力端子、反転クロック出力端子に各々接続され、接地端子1018fはGNDライン308に接続（接地）される。

ここで、発振回路部1011は、抵抗304、305の分圧出力が

入力され、所定の発振信号を作用線 1023 に出力するものである。クロック信号制御回路部 1013 は、作用線 1021, 1023 から電流検出信号及び発振信号を受け電流検出信号値に応じてデューティが制御されたクロック信号をスイッチドキャパシタ降圧回路部 1018 に与えるものである。ブリーダ抵抗 1025 は LED ランプ 106 に並列接続されている。LED ランプ 106 は 2 ～ 8 個直列接続された LED からなる。

以下、上記スイッチドキャパシタ降圧回路部 1018 の詳細について述べる。

図 11 はスイッチドキャパシタ降圧回路部 1018 の動作原理の説明図で、この図 11 において、SW1 ～ SW2n はスイッチ、CPT1 ～ CPTn はキャパシタ（コンデンサ）である。その他、図 11 において 1018a ～ 1018f は各々図 10 と同様である。

ここで、クロック入力端子 1018d にはスイッチ SW1 ～ SW2n を各々 “1” 側（状態 1）に切り替えるクロック信号が、反転クロック入力端子 1018e にはスイッチ SW1 ～ SW2n を各々 “2” 側（状態 2）に切り替える反転クロック信号が各々入力される。

上記キャパシタ CPT1 ～ CPTn は、状態 1 においては直列接続されて HV 入力端子 1018a 及び接地端子 1018 相互間に挿入され、状態 2 においては並列接続されて HV 出力端子 1018b 及び LV 出力端子 1018c 相互間に挿入されるようスイッチ SW1 ～ SW2n に接続されている。またスイッチ SW1 ～ SW2n は、キャパシタ CPT1 ～ CPTn が上記のように接続されるよう、各端子 1018a ～ 1018c, 1018f に接続されている。

このようなスイッチドキャパシタ降圧回路部 1018 の動作を図 10 を併用して説明すると、状態 1 においては、直列接続されたキャパシタ

CPT1～CPTnがHV入力端子1018aを介して電源系1V_{dd}Hライン306に接続され、接地端子1018に向けて通電されて各々充電される。

また状態2においては、並列接続されたキャパシタCPT1～CPTn
5 がHV出力端子1018bを介してLEDランプ106のアノードに接続され、LV出力端子1018cに向けて放電電流が流され、LEDランプ106を点灯する。

状態1, 2は、クロック入力端子1018d及び反転クロック入力端子1018eに入力されるクロック信号, 反転クロック信号により切替
10 制御されるスイッチSW1～SW2nにより所定の周波数(周期)で交互に繰り返される。したがって、キャパシタCPT1～CPTnの上述充放電動作が所定の周波数で繰り返されてLEDランプ106が点灯(点滅点灯)する。

上記LEDランプ106のON, OFF(点滅)周波数は、クロック
15 信号制御回路部1013で例えば40kHzに設定され、発光にちらつきを感じさせない範囲での電力高効率化(低損失化)が図れる。

上記クロック信号制御回路部1013は、電流検出回路部307からの信号を受けて適正な周波数のクロック信号, 反転クロック信号を設定する。また、スイッチドキャパシタ降圧回路部1018(HV出力端子
20 1018b)の出力電圧は、キャパシタCPT1～CPTnの容量等で適宜設定される。

したがって、このようなスイッチドキャパシタ降圧回路部1018を用いた構成によれば、トランスやインダクタ315を用いることなく、また高耐圧スイッチング素子も用いることなく、商用電源電圧をLED
25 ランプ106に適した低電圧に降圧してLEDランプ106に印加可能となる。なお、定電流素子105はなくてもよく、あるいはこれを抵抗

に代えてもよい。

すなわち、電流フィードバック制御でなく、電圧フィードバック制御（クロック周波数変化）とすること（定電圧出力）で電圧レギュレータとなり、本実施例によれば、いわゆるACアダプタ電源の小型化、低コスト化も可能とするものである。しかも、トランスレスでありながら、アイソレート電源を構成することが可能であり極めて画期的である。

なお、図12に図11で説明したスイッチドキャパシタ降圧回路部1018の具体的な回路構成例を示しておく。この図12において、NMOS1～NMOS3n-1は各々Nチャンネル型MOSFETを示す。その他、図12において図11と同一符号は同一または相当部分を示す。

このようなスイッチドキャパシタ降圧回路は、モノリシック半導体集積回路で実現するのに適している。つまり、より数多くの直列キャパシタを用意することで1つのキャパシタあたりの耐圧を低くすることができ、低くすることができれば、誘電体膜（絶縁膜）の厚みをより薄くすることができ、すなわち一つあたりの面積も縮小可能となるからである。

図13は、本発明による電源装置及びLEDランプ装置の第6実施形態を示す回路図である。

この図13において、105は定電流素子、106は2～8個のLEDの直列接続からなるLEDランプ、108はAC入力端子H、109はAC入力端子C、1025はブリーダ抵抗である。また、1300は1チップ（モノリシック）ICによる集積回路部、1301、1302はスイッチドキャパシタ降圧回路部（SCConv）、1307、1308は逆流阻止ダイオード（Di1, Di2）である。なお、AC入力電圧は商用100Vである。

上記スイッチドキャパシタ降圧回路部1301、1302は、AC入

力端子H108, C109からAC入力を得て直流出力DCOUTをLEDランプ106に与え、これを点灯するものである。

5 スイッチドキャパシタ降圧回路部1301, 1302は、ACH入力端子1301a, 1302a; ACL入力端子1301b, 1302b、HV出力端子1301c, 1302c、LV出力端子1301d, 1302dを備えてなる。

10 このスイッチドキャパシタ降圧回路部1301, 1302のACH入力端子1301a, 1302a及びACL入力端子1301b, 1302bは、AC入力に対して所謂たすき掛け接続されている。すなわち、スイッチドキャパシタ降圧回路部1301のACH入力端子1301a及びスイッチドキャパシタ降圧回路部1302のACL入力端子1302bは各々AC入力端子H108に、同回路部1301のACL入力端子1301b及び同回路部1302のACH入力端子1302aは各々AC入力端子Cに接続されている。

15 一方、スイッチドキャパシタ降圧回路部1301のHV出力端子1301cは逆流阻止ダイオード1307を介して、スイッチドキャパシタ降圧回路部1302のHV出力端子1302cは逆流阻止ダイオード1308を介して、各々LEDランプ106のアノードに接続されている。

20 また、スイッチドキャパシタ降圧回路部1301のLV出力端子1301d及びスイッチドキャパシタ降圧回路部1302のLV出力端子1302dは共通接続され、上記定電流阻止を介してLEDランプ106のカソードに接続されている。

25 上記ブリーダ抵抗1025は、一端側に上記定電流阻止を介してLEDランプ106に並列接続されている。LEDランプ106は2~8個直列接続されたLEDからなる。

以下、上記スイッチドキャパシタ降圧回路部 1301, 1302 の詳細について述べる。

図 14 はスイッチドキャパシタ降圧回路部 1301, 1302 の具体的な回路構成例を示す図で、この図 14 において、PMOS1~PMOS2n は各々 P チャンネル型 MOSFET を示す。CPT1~CPTn はキャパシタ、DiR1~DiRn+1 は整流ダイオードである。その他、図 14 において 1301, 1302、1301a~1301d 及び 1302a~1302d は各々図 13 と同様である。

ここで、P チャンネル型 MOSFET PMOS1~PMOS2n は各々ゲートが正電圧で OFF、負電圧で ON する。キャパシタ CPT1~CPTn は、AC 入力の正側においては直列接続されて ACH 入力端子 1301a, 1302a 及び ACL 入力端子 1301b, 1302b 相互間に挿入され、AC 入力の負側においては並列接続されて HV 出力端子 1301c, 1302c 及び LV 出力端子 1301d, 1302d 相互間に挿入されるよう P チャンネル型 MOSFET PMOS1~PMOS2n に接続されている。また、P チャンネル型 MOSFET PMOS1~PMOS2n は、キャパシタ CPT1~CPTn が上記のように接続されるよう、各端子 1301a~1301d, 1302a~1302d に接続されている。

このようなスイッチドキャパシタ降圧回路部 1301, 1302 の動作を図 13 を併用して説明すると、スイッチドキャパシタ降圧回路部 1301 について、

AC 入力の正側においては、直列接続されたキャパシタ CPT1~CPTn が ACH 入力端子 1301a を介して AC 入力端子 H108 に接続され、ACL 入力端子 1301b に向けて通電されて各々充電される。

また AC 入力の負側においては、並列接続されたキャパシタ CPT1

～CPT_nがHV出力端子1301c及び逆流素子ダイオード1307を介してLEDランプ106のアノードに接続され、LV出力端子1301dに向けて放電電流が流され、LEDランプ106を50Hz（商用交流電源が50Hzの場合）で点灯（点滅点灯）する。

- 5 スイッチドキャパシタ降圧回路部1302についても、AC入力の正、負側において上記スイッチドキャパシタ降圧回路部1301とは逆に動作することを除いて同回路部1301と同様に動作し、LEDランプ106を同回路部1301による場合とは90°位相を異にして50Hz（商用交流電源が50Hzの場合）で点灯（点滅点灯）する。

- 10 これによりLEDランプ106は100Hzで点灯（点滅点灯）し、発光にちらつきを感じさせない範囲での電力高効率化（低損失化）が図れる。

- このスイッチドキャパシタ降圧回路部1301、1302は、Pチャンネル型MOSFET PMOS1～PMOS2_n自身でスイッチング（
15 各ゲートが正電圧でOFF、負電圧でON）するので、制御用のパルス（クロック等）は不要である。スイッチドキャパシタ降圧回路部1301、1302（HV出力端子1301c、1302c）の出力電圧は、キャパシタCPT1～CPT_nの容量等で適宜設定される。

- このようなスイッチドキャパシタ降圧回路部1301、1302を用
20 いた構成によれば、トランスやインダクタ315を用いることなく、また高耐圧スイッチング素子も用いることなく、商用電源電圧をLEDランプ106に適した低電圧に降圧してLEDランプ106に印加可能となる。また、この実施形態では、全波整流用のダイオードブリッジも不用である。

- 25 すなわち、電流フィードバック制御でなく、電圧フィード制御とすることで、（定電出力）で電圧レギュレータとなり、第5実施形態と同様

に、本実施形態によればいわゆるＡＣアダプタ電源の小型化及び低コスト化も可能とするものである。しかも、トランスレスでありながら、アイソレート電源を構成することが可能であり、極めて画期的である。

5 なお、この第６実施形態（図１３）において、定電流素子１０５はＬＥＤランプ１０６のアノード側であってもよい。また、逆流阻止ダイオード１３０７、１３０８は省略してもよい。更に、ブリーダ抵抗１０２５及び定電流素子１０５は集積回路部１３００外に構成（外付け）してもよい。

10 図１５は、本発明によるＬＥＤランプ装置の構造例を示す図で、（ａ）は正面図、（ｂ）は背面図、（ｃ）は右側面図、（ｄ）は（ｃ）中のＤ－Ｄ線断面矢視図である。ここでは、最小構造の例を示す。

15 各図において、１５０１はＥ－１０タイプの口金、１５０２は口金１５０１に連なる合成樹脂またはガラス製の筒状のケース部、１５０３はケース部１５０２先端面を覆うように取り付けられたＬＥＤランプモジュールで、全体としてＥ－１０タイプの口金をもつ蛍光ランプ用グロー

20 ースタータの外形状を模して形成されている。
 ＬＥＤランプモジュール１５０３は、ここでは正面から見てモジュール１５０３中心から半径方向適宜位置の同心円上にほぼ等間隔に８個、ＬＥＤチップ１５０３ａが配設されてなる。各ＬＥＤチップ１５０３

25 ａは直列接続され、その電源装置部（上述各実施形態におけるＬＥＤランプ１０６を除いた回路部分）１５０４の出力端に接続されている。
 電源装置部１５０４は、ここでは全波整流用ダイオードブリッジ部１５０４ａ、ＩＣチップ部１５０４ｂ、インダクタ部１５０４ｃ及びこれら各部１５０４ａ～１５０４ｃを搭載した回路基板１５０４ｄを備えてなる（第２～４実施形態の場合）。第１、５、６実施形態の場合はインダクタ部１５０４ｃを備えていない。

なお、1504e, 1504fはAC入力リード線、1504g, 1504hはLEDランプモジュール電源リード線である。

このような構造の本発明装置において、口金1501を商用交流電源入力ソケット（図示せず）にねじこみ挿入すれば、当該商用交流電源が
5 AC入力リード線1504e, 1504fを介して電源装置部1504に供給され、LEDランプモジュール1503中の8個のLEDチップ1503aを同時点灯させ、発光表示あるいは照明をする。

図16は、本発明によるLEDランプ装置の他の構造例を示す断面図で、ここでは、上述各実施形態におけるLEDランプ106を除いた電源装置部1504をフレキシブルプリント回路基板1601上に構成した例を示している。
10

図17は図16中のフレキシブルプリント回路基板1601部分のI-I線、II-II線及びIII-III線の各断面矢視図である。

これら図16, 図17において、1604a, 1604bはAC入力端子、1604c, 1604dはLEDランプモジュール電源端子である。その他、図16において図15と同一符号は同一または相当部分を示す。
15

図示するように、ここでは回路基板としてフレキシブルプリント回路基板1601を用いており、それをS字状またはZ字状（図示例ではS字状）に屈曲形成され、省スペース化、ジャンパ線の省略が図られている。
20

また、AC入力端子1604a, 1604b及びLEDランプモジュール電源端子1604c, 1604d（基板上1601の半田付け用ランド若しくはパッド）は、図17に示すように配置されている。この配置は図18または図19のようにしてもよい。
25

すなわち、LEDランプモジュール電源端子1604c, 1604d

は、LEDランプモジュール1503近傍側に位置させ、かつ図示するように基板1601の裏表面側に分けて配置する。また、AC入力端子1604a, 1604bは、図17～図19に示すように、ケース部1502の前後方向（図中、上下方向）の離れた位置に、しかも基板1601の裏表面側に分けて配置する。

これによれば、各端子1604a, 1604b, 1604c, 1604d相互間、特に高電圧が加わるAC入力端子1604a, 1604b相互間の沿面距離を長くとることができ、絶縁性の確保や特性・信頼性の向上が図れる。

10 なお、上述実施形態において、第1～3実施形態及び第5実施形態はAC入力に代えてDC入力でもLEDランプ106の点灯が可能である。

図20及び21を参照して第7実施形態を説明する。尚、図20の回路図及び以下に説明する第8実施形態にかかる図22の回路図において、第1実施形態と同一の部分には同一の符号を付することによりその部分の詳細な説明を省略する。

15 図20に示すように、第7実施形態では、AC入力端子108と109との間に設けられた全波整流用ダイオードブリッジ102には、定電流素子105とLEDランプ106とが直列に接続されており、LED
20 ランプ106に、ツェナーダイオード2001を並列に接続したものである。

この7実施形態では、LED106にかかる電圧が所定の電圧VFに達していない場合には、ツェナーダイオード2001に電流が流れるので、LED106の暗点灯を防止するとともに、LED106に過大電流が流れようとするツェナーダイオード2001に電流が流れるので、
25 過大電流からLED106を保護することができる。

即ち、図 2 1 に L E D ランプ 1 0 6 と ツェナーダイオード 2 0 0 1 とにおける電流 I と電圧 V との関係を示すように、領域 S では電圧が L E D ランプ 1 0 6 の順方向降下電圧 V_F よりも小さいため、L E D ランプ 1 0 6 は通常の点灯をしないはずであるが、A C 入力端子 1 0 8 と 1 0 9 におけるスイッチを O F F しても高インピーダンスにより数 μA (例えば、1 0 0 乃至 5 0 0 μA) の電流が回路に流れることがあるが、かかる定電流領域 S では、ツェナーダイオード 2 0 0 1 に電流がリークされ、L E D ランプ 1 0 6 には流れないので、暗点灯が防止される。一方、電流 I が 1 0 m A 程度、この場合に電圧が L E D 1 0 6 の V_F を超える一定の電圧範囲 W (例えば、2 V から 3 V) では、L E D 1 0 6 は点灯を行い、このさらに電流 I が範囲 W を超える過大電流になるとその過大電流はツェナーダイオード 2 0 0 1 に流れる。したがって、暗点灯を防止するとともに過大電流から L E D 1 0 6 を保護することができる。

この第 7 実施形態では、ツェナーダイオード 2 0 0 1 のツェナー電圧は、ツェナーダイオードに並列に接続されている L E D ランプの V_F (順方向降下電圧) に対して 1 0 % 以上 3 0 % 以下の範囲で高いことが望ましい。1 0 % よりも小さいと暗点灯を有効に防止できないとともに、3 0 % を超えると過大電流からの L E D ランプ 1 0 6 の保護が十分でなくなるからである。

図 2 2 に第 8 実施形態を示す。この第 8 実施形態では、複数の L E D ランプ 1 0 6 (各 L E D ランプ 1 0 6 が複数の L E D チップの単位であってもよい) を直列に接続するとともに各 L E D ランプ 1 0 6 に並列にツェナーダイオード 2 0 0 1 を接続したものである。この第 8 実施形態では、複数ある L E D ランプ 1 0 6 のいずれかの L E D ランプが切れて消灯 (オープン) した場合であっても、定電流素子 1 0 5 があるので、電流は切れたランプ 1 0 6 に並列に接続しているツェナーダイオード 2

001をブレイクダウンさせて流れるので、残りのLEDランプ106の点灯を維持することができる。

換言すれば、直列にLEDランプ106を接続していながら、並列に接続した場合と同様な効果を得ることができる。しかも、LEDランプ
5 106を直列に接続した場合には、いうまでもなくトータルでの所要電力は並列に接続する場合よりも少なくできる。

産業上の利用可能性

以上のように、本発明は、表示灯、消火栓灯、非常灯、あるいは券売
10 機、自動販売機、エレベータ等の操作ボタンランプ等の表示や照明を行う装置または電源装置として用いられる。

請 求 の 範 囲

1. 交流電源電圧の整流波形を得る整流波形取得手段と、この整流波形取得手段による整流波形中の交流電源電圧波形の半周期に相当する各波形の所望の電圧値以上の期間中における一部の期間でのみ電力を取り込んで負荷の作動用電源として出力するための電源出力手段とを具備する5 ことを特徴とする電源装置。
2. 電源電圧の整流波形を得る整流用ダイオードブリッチと、発振回路部と、クロック信号制御回路部と、スイッチドキャパシタ降圧回路部とを備え、前記スイッチドキャパシタ降圧回路部は、直列に接続され且つ2つの位置に切り換え可能な複数の切り換えスイッチと、切り換えス10 イッチ間に配置されたコンデンサとを備え、各切り換えスイッチは、クロック信号制御回路部により2つの位置に切り換えられて、一方の位置でコンデンサへ充電を行ない、他方の位置でコンデンサからの放電がなされて、負荷に電力を供給することを特徴とする電源装置。
3. 入力端子から交流電源が入力され、出力端子に接続される負荷に15 電力を供給する電源装置であって、発振回路部と、クロック信号制御回路部と、2つのスイッチドキャパシタ降圧回路部とを備え、前記2つのスイッチドキャパシタ降圧回路部は、一方のスイッチドキャパシタ降圧回路部の高電圧側入力端子及び他方のスイッチドキャパシタ降圧回路部の低電圧側入力端子を電源装置部の一方の入力端子に、他方のス20 イッチドキャパシタの低電圧側入力端子と他方のスイッチドキャパシタ降圧回路部の高電圧側入力端子を電源装置部の他方の入力端子に接続していることを特徴とする電源装置。
4. 交流電源が入力される電源装置部と、この電源装置部の出力端に接続される1個または直列接続された複数個のLEDからなるLEDラ

ンプとを備え、前記電源装置部は、交流電源電圧の整流波形を得て、その整流波形中の前記交流電源電圧波形の半周期に相当する各波形の所望の電圧値以上の期間中の一部の期間でのみ電力を取り込み、前記LEDランプの点灯用電源とすることを特徴とするLEDランプ装置。

- 5 5. 前記電源装置部は、整流用ダイオードブリッチと、低電圧素子としてのツェナーダイオードとを直列に配置してなり、入力電圧をダイオードブリッチで整流した後、ツェナーダイオードが、所定電圧値以上の期間でのみ電力を取り込んでLEDランプを点灯させることを特徴とする請求項4に記載のLEDランプ装置。
- 10 6. 交流または直流電源が入力される電源装置部と、この電源装置部の出力端に接続される1個または直列接続された複数個のLEDからなるLEDランプとを備え、1個または複数のLEDランプにはツェナーダイオードが並列に接続されていることを特徴とするLEDランプ装置。
- 15 7. LEDランプが複数個であり、電源装置部の出力端とLEDランプとの間に定電流素子を直列に接続していることを特徴とする請求項6に記載のLEDランプ装置。
8. 前記ツェナーダイオードのツェナー電圧は、ツェナーダイオードに並列に接続されているLEDランプの順方向降下電圧に対して10%以上30%以下の範囲で高いことを特徴とする請求項7に記載のLED
- 20 ランプ装置。
9. 交流または直流電源が入力される電源装置部と、この電源装置部の出力端に接続される1個または直列接続された複数個のLEDからなるLEDランプとを備え、前記電源装置部は、電流検出回路部と、入力電
- 25 圧検出部と、発振回路部と、スイッチング回路部と、スイッチング素子とを備え、スイッチング回路部は電流検出回路部及び入力電圧検出部か

らの信号を受けてスイッチング素子をON、OFF制御することを特徴とするLEDランプ装置。

10. 前記電源装置部は、電源電圧の整流波形を得て、その整流波形中の前記交流電源電圧波形の半周期に相当する各波形の所望の電圧値以上の期間中の一部の期間でのみ電力を取り込んで前記LEDランプの点灯用電源としていることを特徴とする請求項9に記載のLEDランプ装置。

11. 交流または直流電源が入力される電源装置部と、この電源装置部の出力端に接続される1個または直列接続された複数個のLEDからなるLEDランプとを備え、前記電源装置部は、入出力電圧検出部と、発振回路部と、スイッチング制御回路部と、スイッチング素子と、電流検出回路部とを備え、スイッチング制御回路部は入出力電圧検出部及び電流検出回路部からの信号を受けてスイッチング素子をON、OFF制御することを特徴とするLEDランプ装置。

12. 交流または直流電源が入力される電源装置部と、この電源装置部の出力端に接続される1個または直列接続された複数個のLEDからなるLEDランプとを備え、前記電源装置部は、整流用ダイオードブリッチと、電流検出回路部と、入力電圧検出部と、発振回路部と、スイッチング回路部と、スイッチング素子とを備え、前記スイッチング回路部は、電流検出回路部及び入力電圧検出部からの信号を受けてスイッチング素子をON、OFF制御するものであり、

前記スイッチング素子とLEDランプとの間にコンデンサを備え、スイッチング素子のON時にコンデンサに充電し、スイッチング素子のOFF時にコンデンサからLEDに電力を供給することを特徴とするLEDランプ装置。

13. 交流または直流電源が入力される電源装置部と、この電源装置部

の出力端に接続される１個または直列接続された複数個のＬＥＤからなるＬＥＤランプとを備え、前記電源装置部は、電源電圧の整流波形を得る整流用ダイオードブリッチと、発振回路部と、クロック信号制御回路部と、スイッチドキャパシタ降圧回路部とを備え、前記スイッチドキャ

5 パシタ降圧回路部は、直列に接続され且つ２つの位置に切り換え可能な複数の切り換えスイッチと、切り換えスイッチ間に配置されたコンデンサとを備え、各切り換えスイッチは、クロック信号制御回路部により２つの位置に切り換えられて、一方の位置でコンデンサへ充電を行ない、他方の位置でコンデンサからＬＥＤランプへの放電がなされて、ＬＥＤ

10 ランプを点灯させることを特徴とするＬＥＤランプ装置。

14. 交流電源が入力される電源装置部と、この電源装置部の出力端に接続される１個または直列接続された複数個のＬＥＤからなるＬＥＤランプとを備え、前記電源装置部は、発振回路部と、クロック信号制御回路部と、電流検出回路部と、２つのスイッチドキャパシタ降圧回路部とを備え、前記２つのスイッチドキャパシタ降圧回路部は、一方のスイッチドキャパシタの高電圧側入力端子と他方のスイッチドキャパシタ降

15 圧回路部の低電圧側入力端子を電源装置部の一方の入力端子に、他方のスイッチドキャパシタの低電圧側入力端子と他方のスイッチドキャパシタ降圧回路部の高電圧側入力端子を電源装置部の他方の入力端子に接続

20 していることを特徴とするＬＥＤランプ装置。

15. 前記電源装置部は、フレキシブルプリント回路基板上に構成されており、このフレキシブル回路基板は略Ｓ字形状に屈曲させて配置したことを特徴とする請求項４乃至１４のいずれか一項に記載のＬＥＤランプ装置。

25 16. 前記電源装置部は、略Ｓ字の対向する部位に端子を設け、且つＡＣ入力端子の一方をフレキシブル回路基板の表に他方を裏に設けたこ

とを特徴とする請求項 15 に記載の LED ランプ装置。

17. 前記電源装置部は、設定平均電流値よりも高い電流値のピークを有するパルス電流を発し、そのパルス電流の周波数は 100 Hz 以上であることを特徴とする請求項 4 乃至 16 のいずれか一項に記載の LED

5 D ランプ装置。

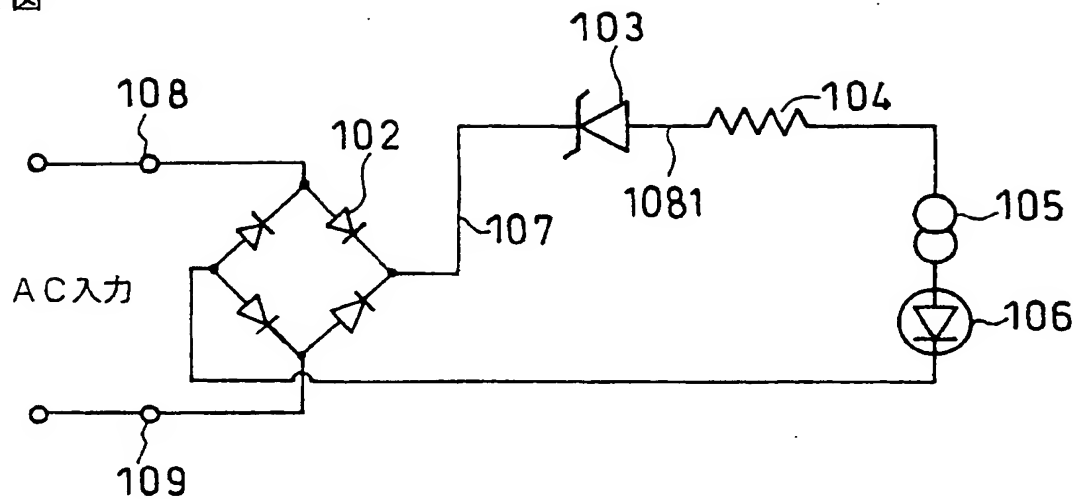
18. 前記電源装置部は、フレキシブルプリント回路基板上に構成されており、このフレキシブル回路基板は略 S 字形状に屈曲させて配置したことを特徴とする請求項 1 乃至 3 のいずれか一項に記載の電源装置。

10 19. 前記電源装置部は、略 S 字の対向する部位に端子を設け、且つ AC 入力端子の一方をフレキシブル回路基板の表に他方を裏に設けたことを特徴とする請求項 18 に記載の電源装置。

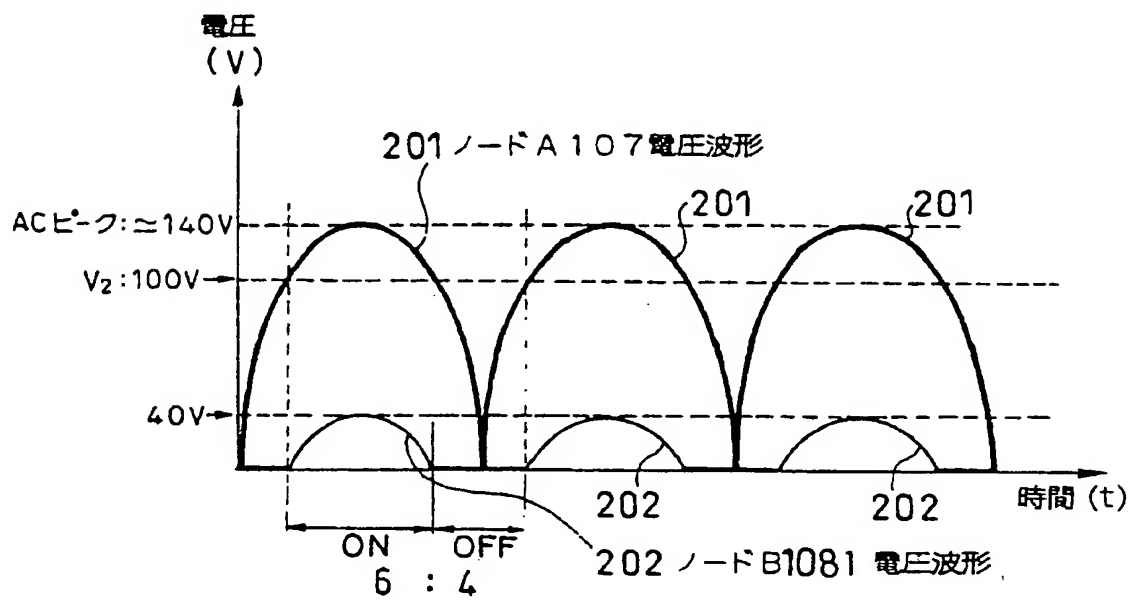
20. 前記電源装置部は、設定平均電流値よりも高い電流値のピークを有するパルス電流を発し、そのパルス電流の周波数は 100 Hz 以上
15 であることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の電源装置。

1 / 19

第1図

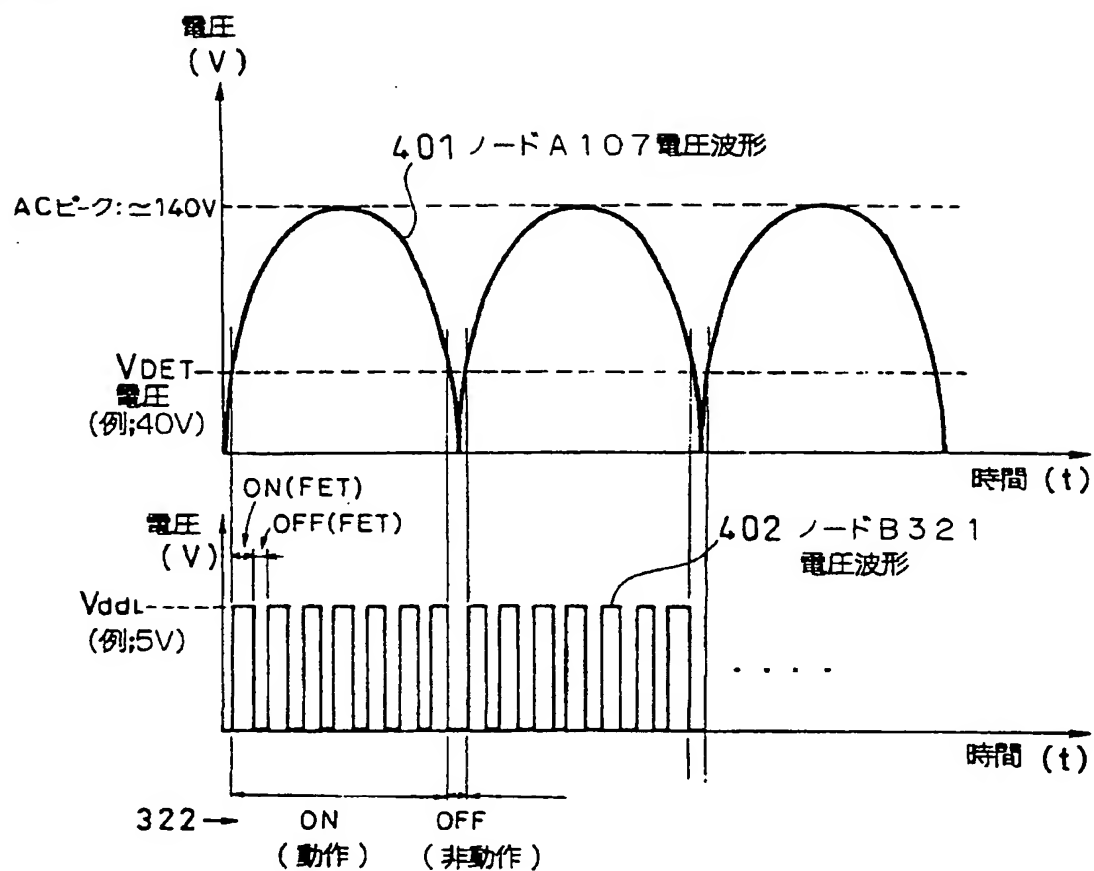


第2図

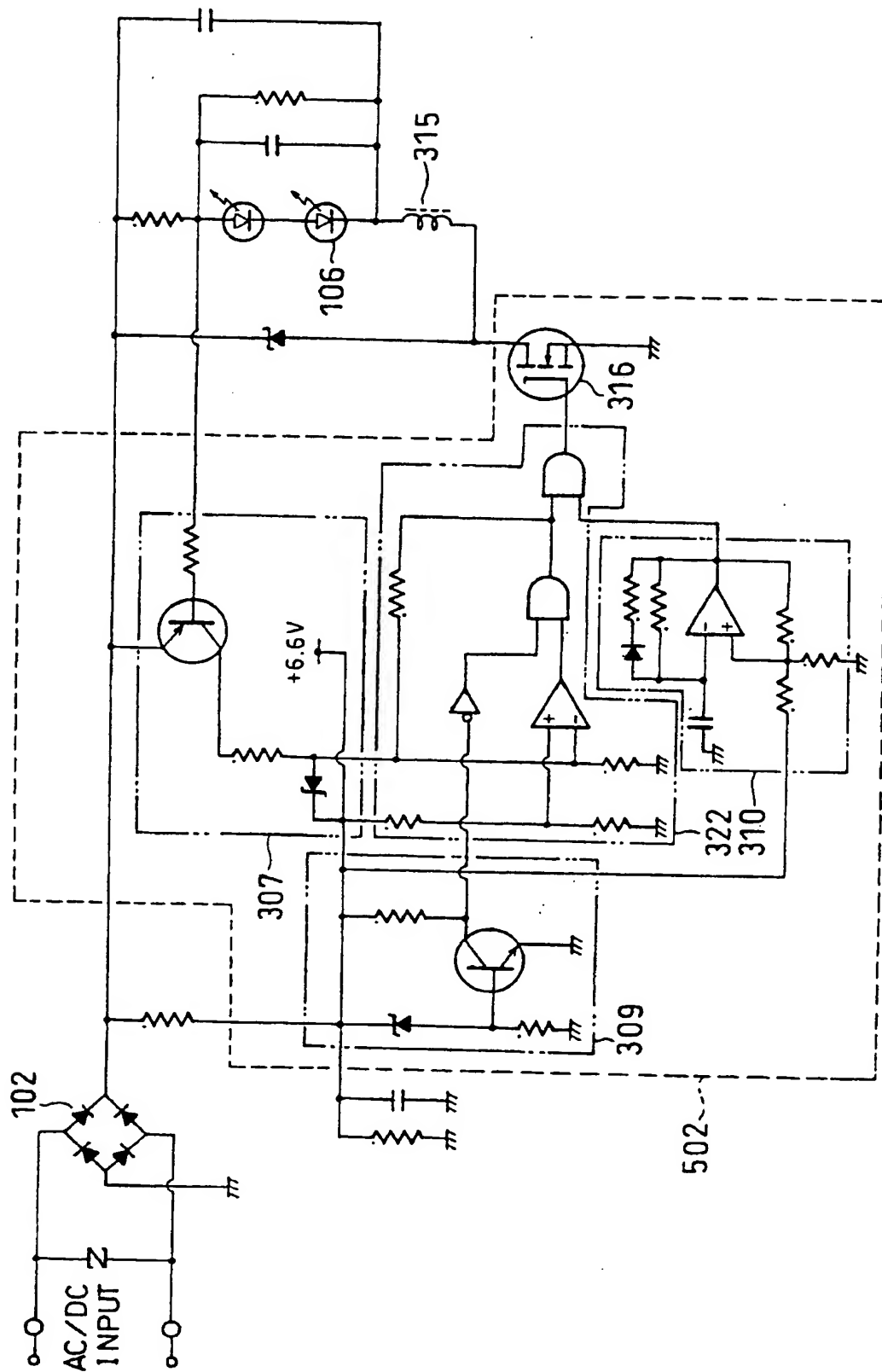


3 / 19

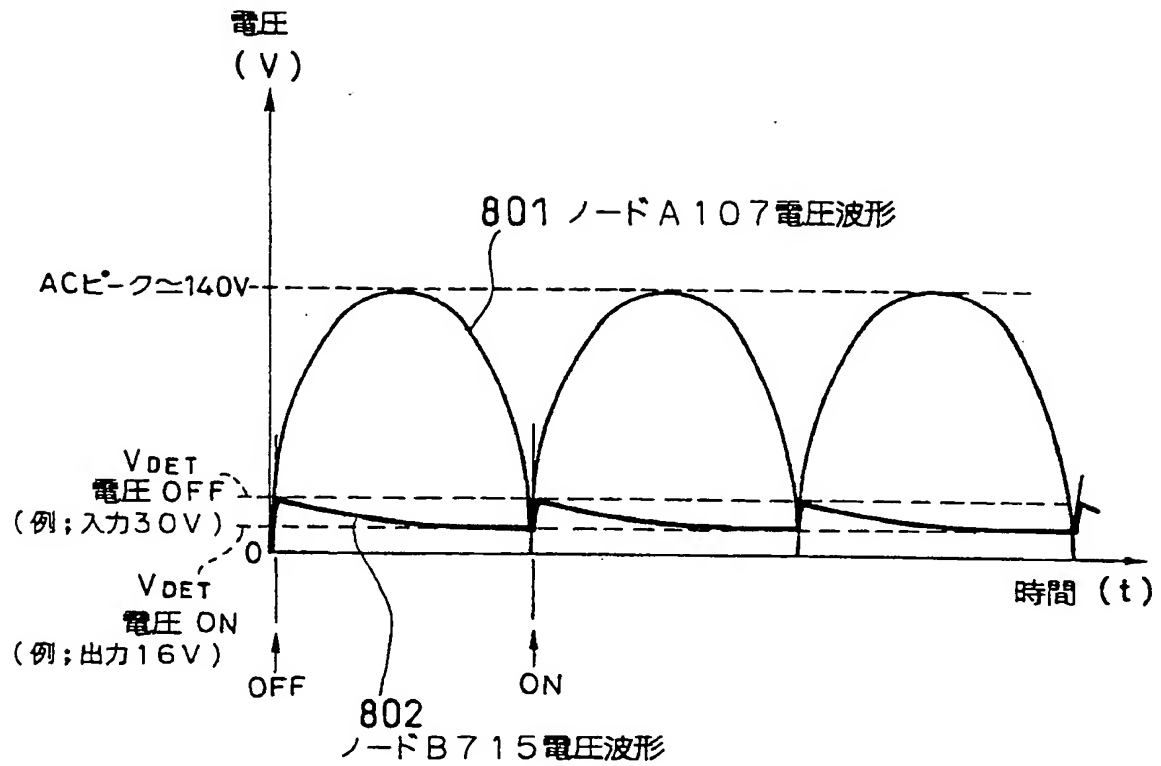
第4図



第5図

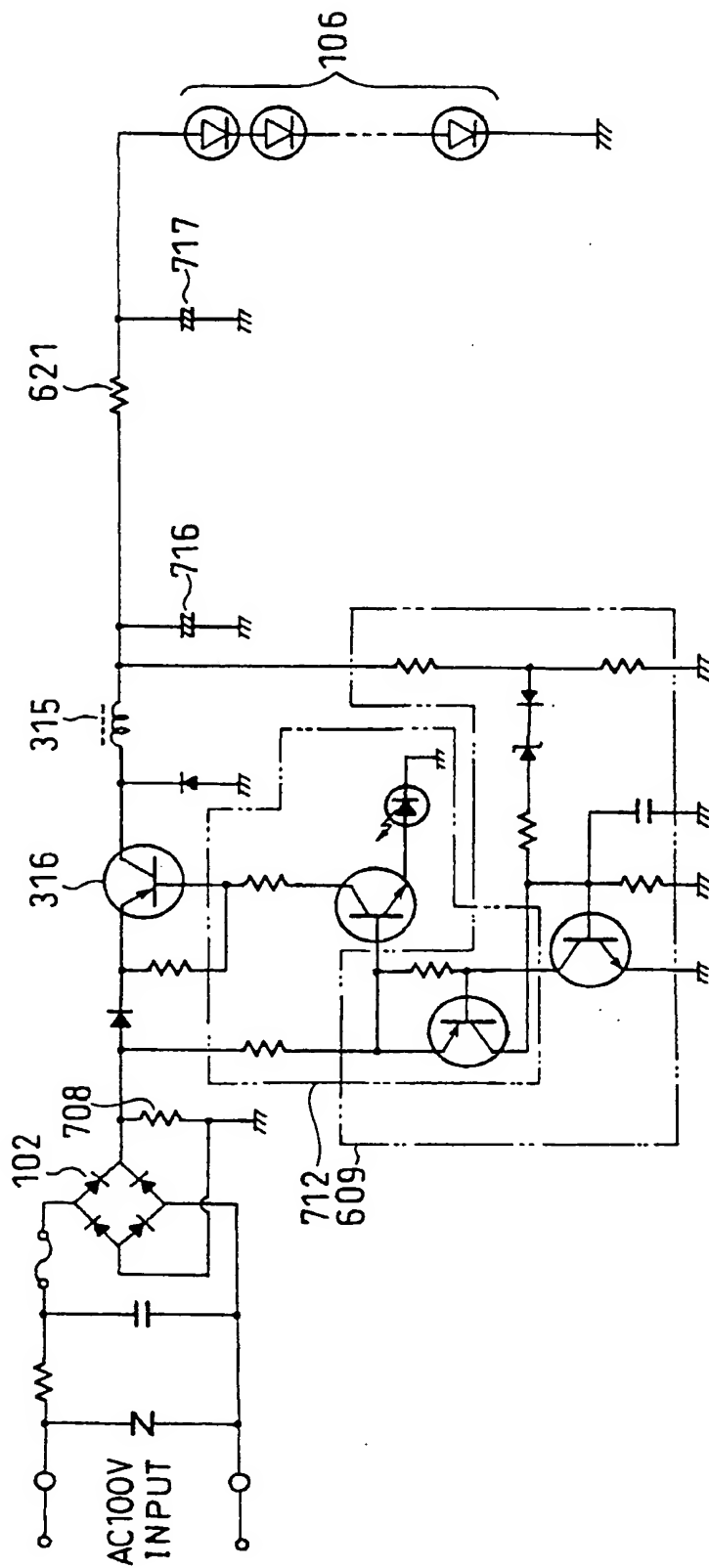


第 8 図

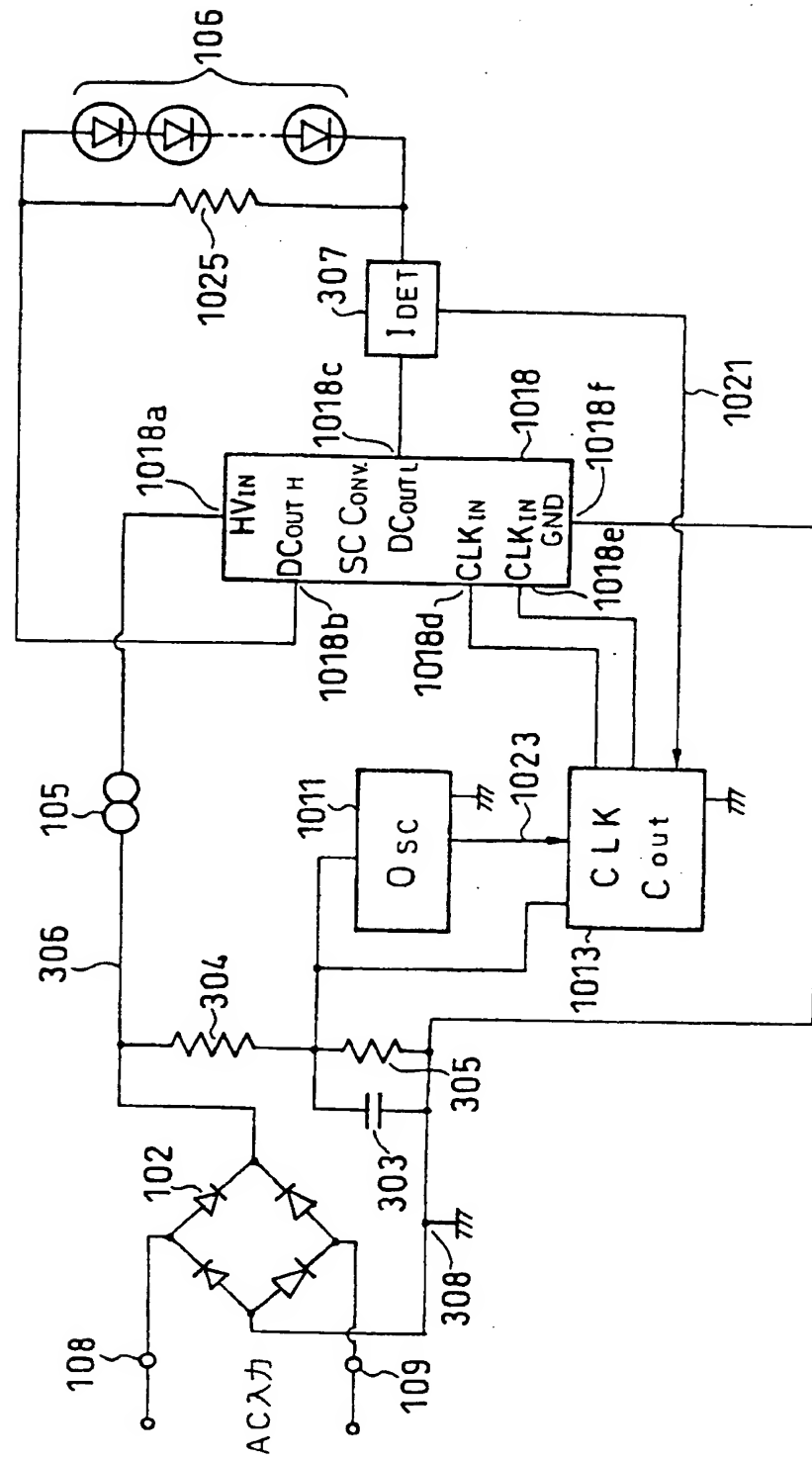


8 / 19

第9図

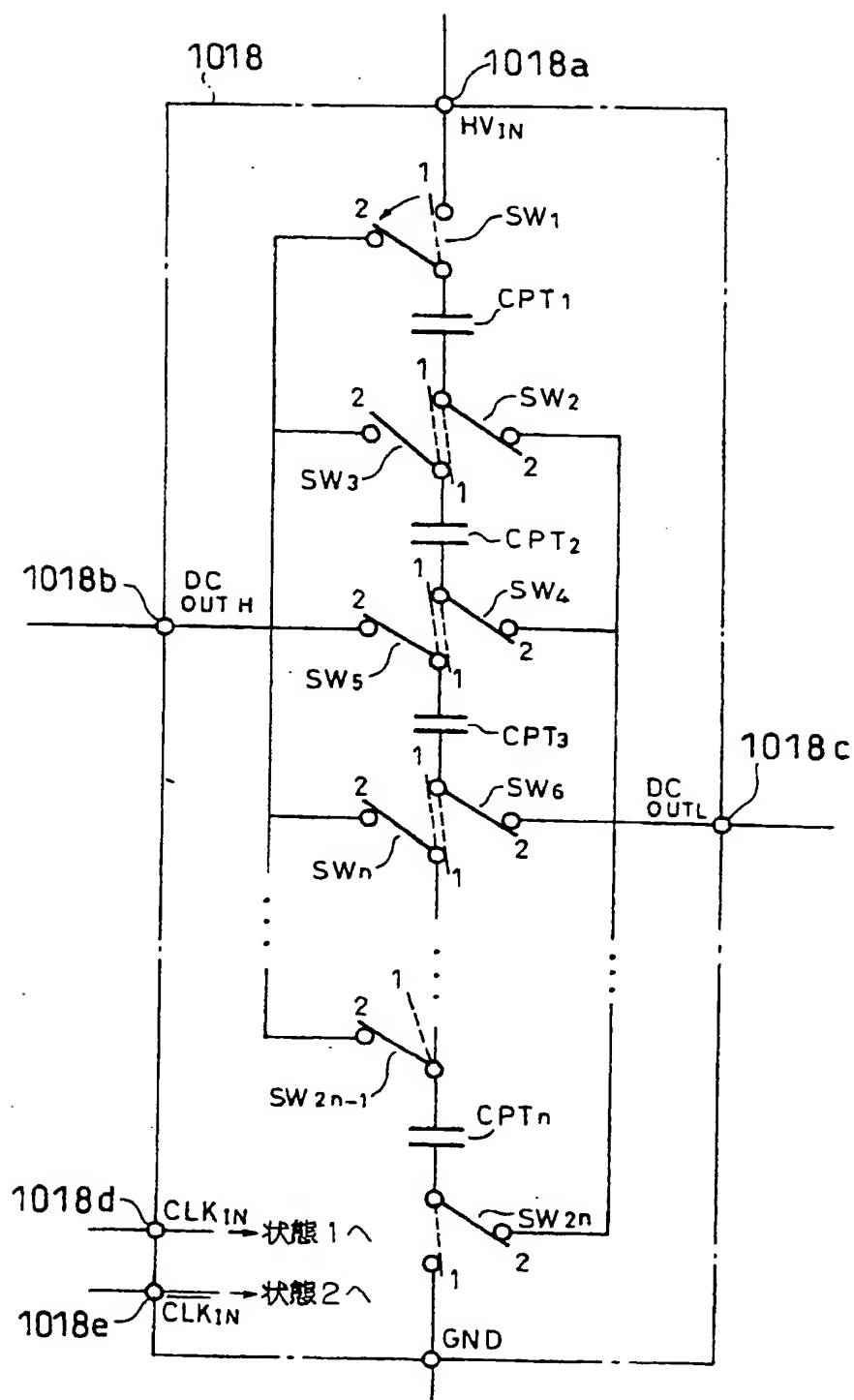


第10図

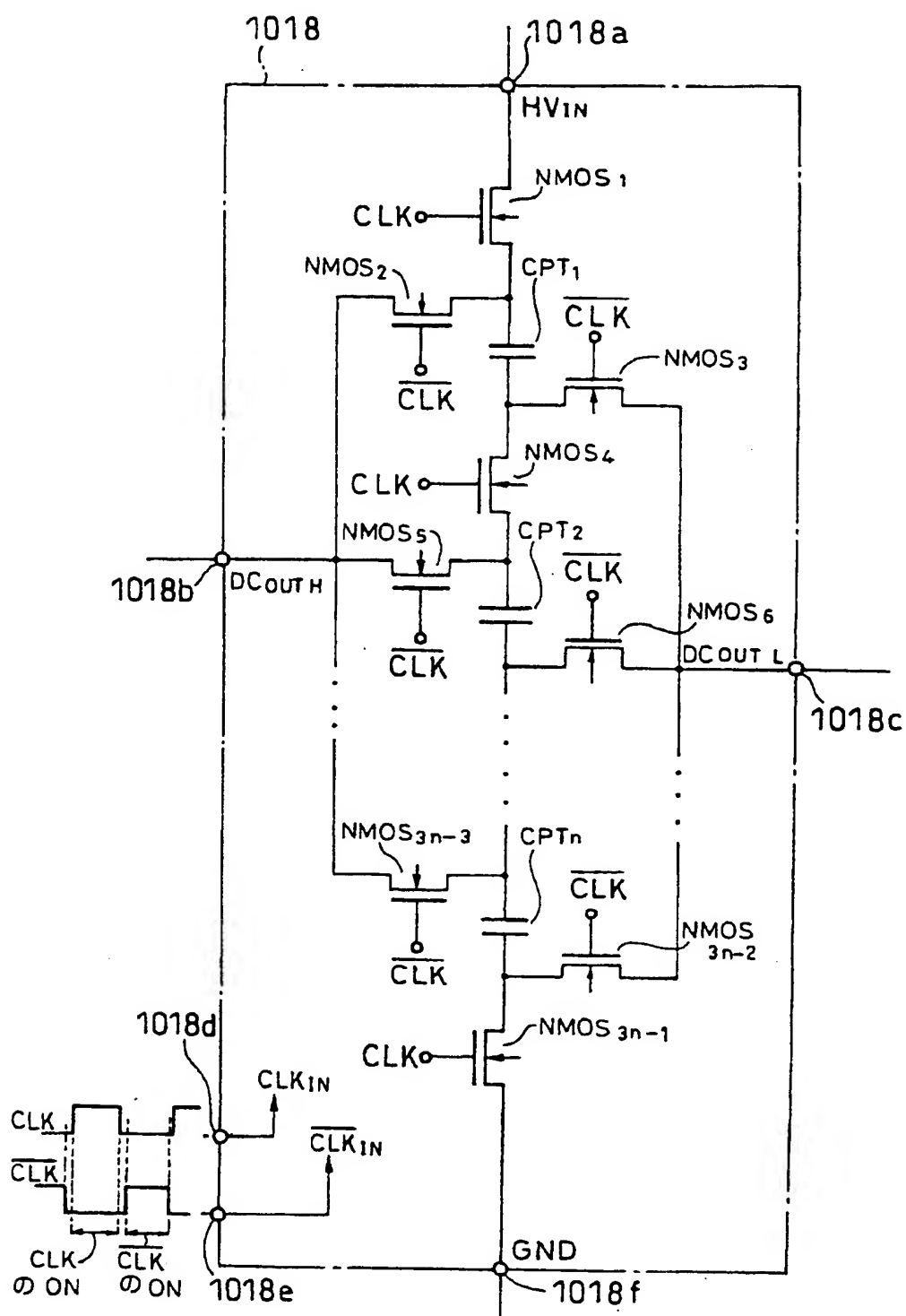


10/19

第11図

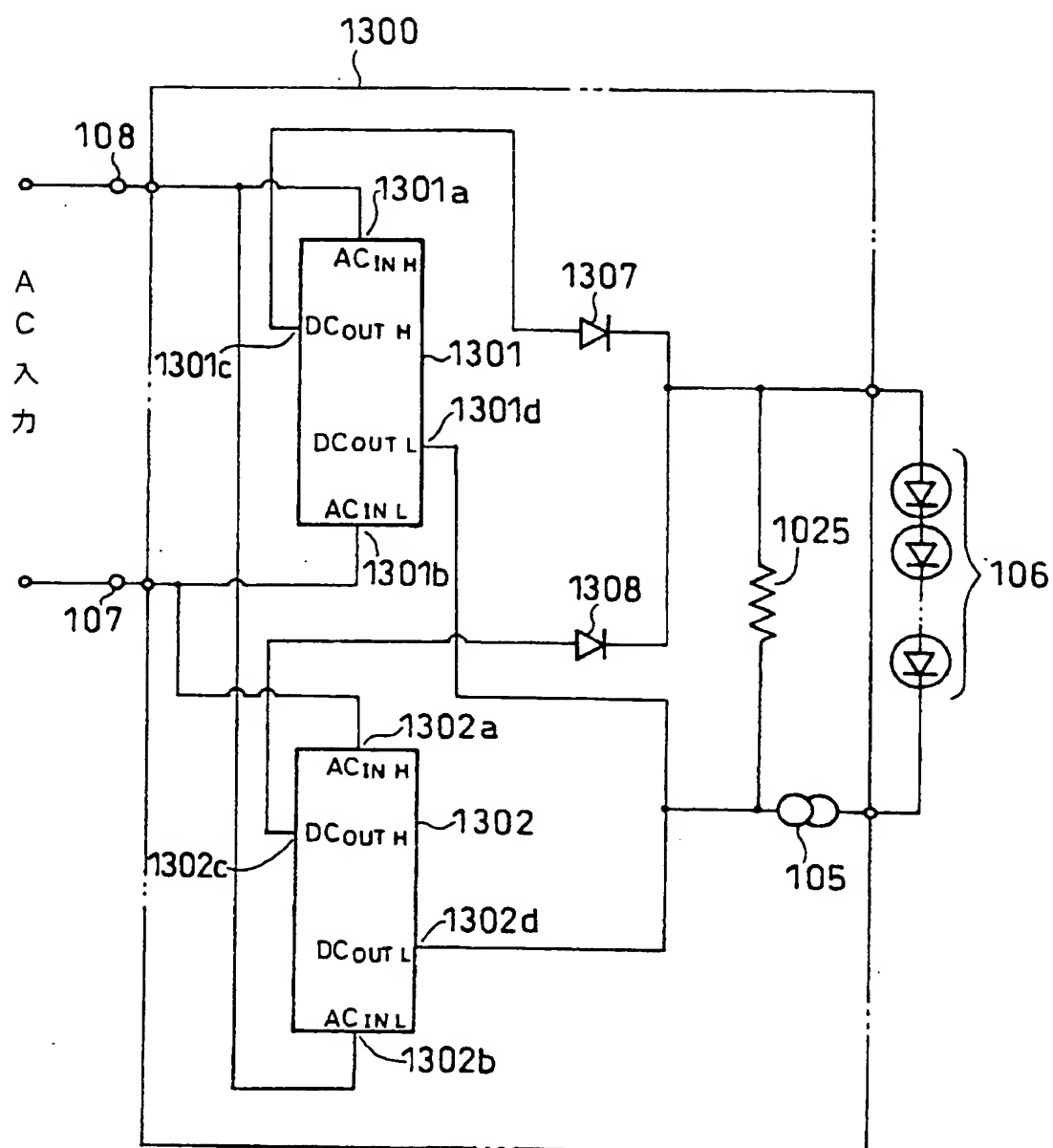


第12図



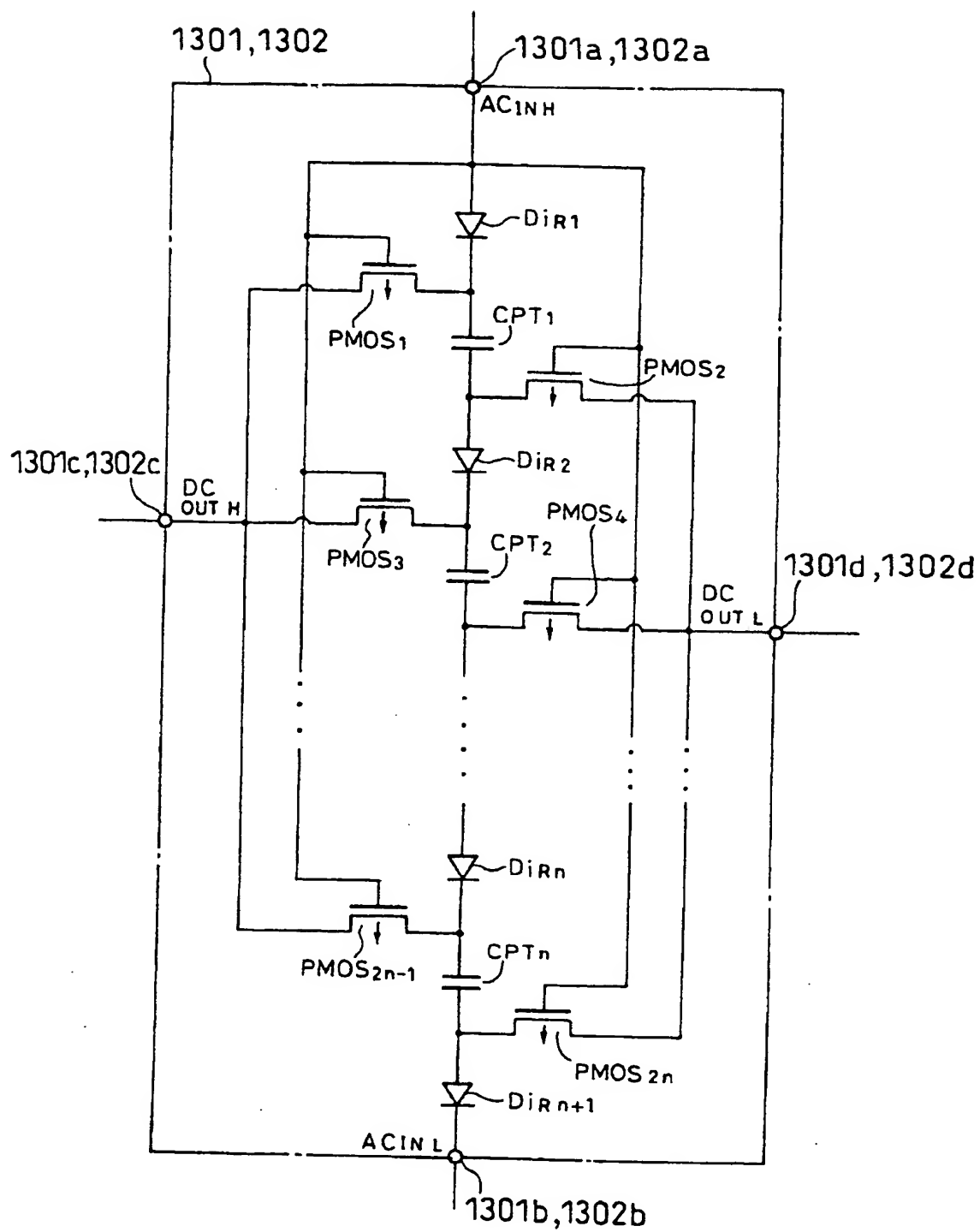
12 / 19

第13図



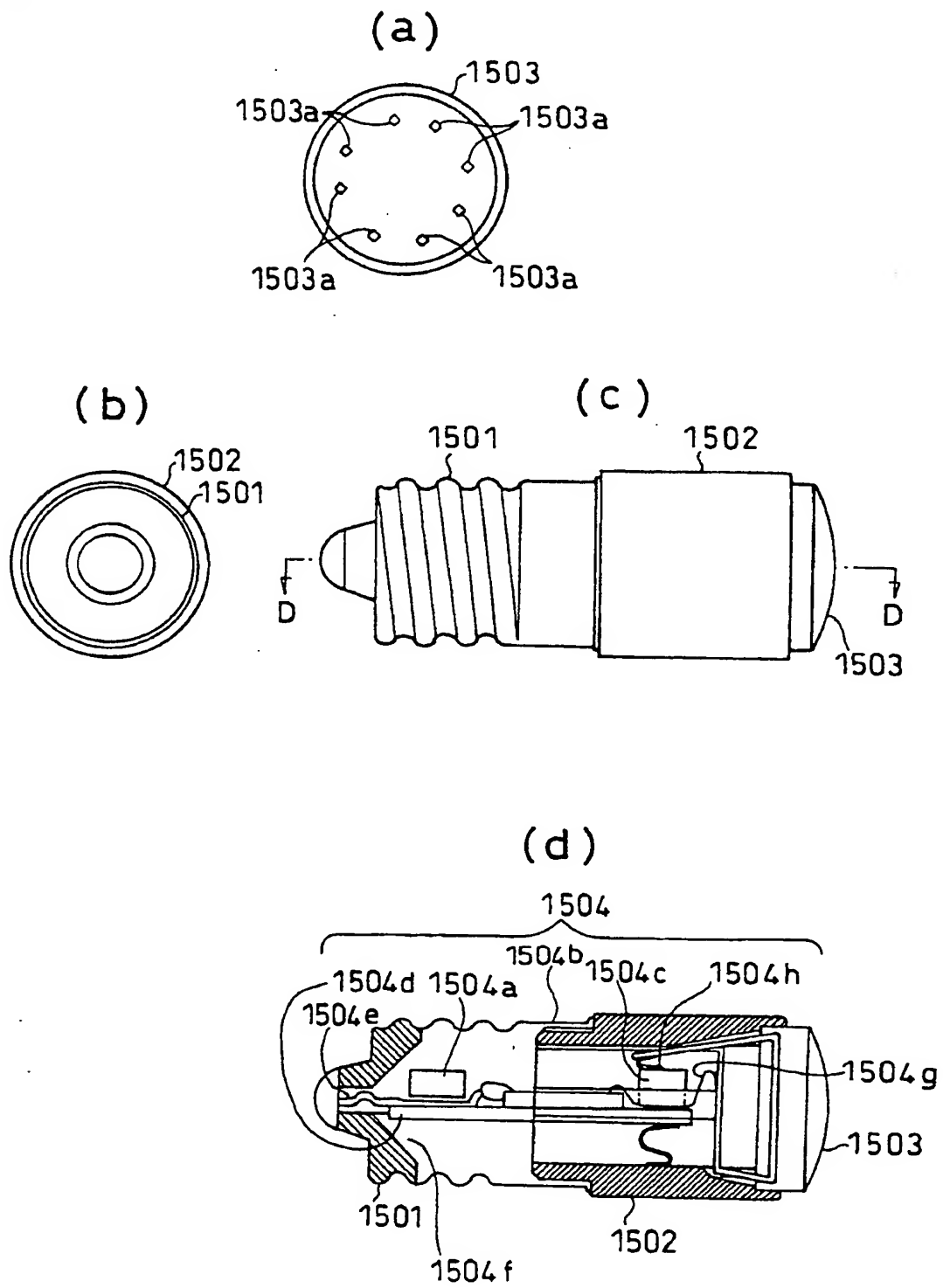
13/19

第14図



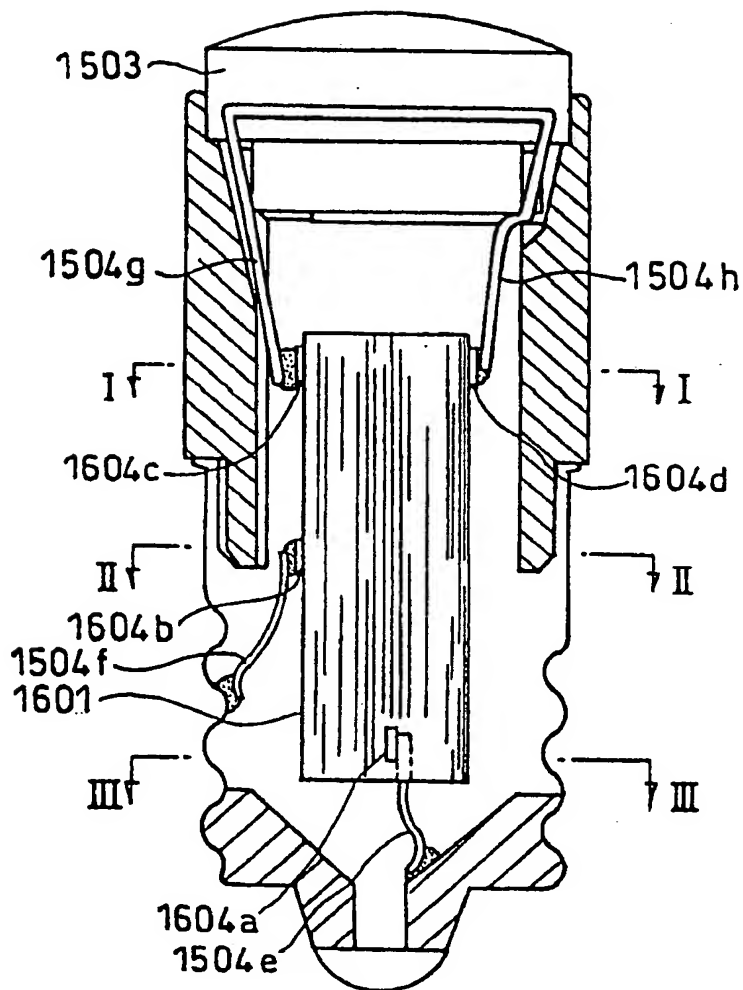
14/19

第15図

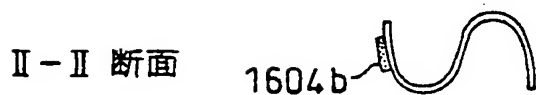
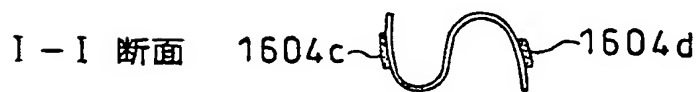


15 / 19

第16図

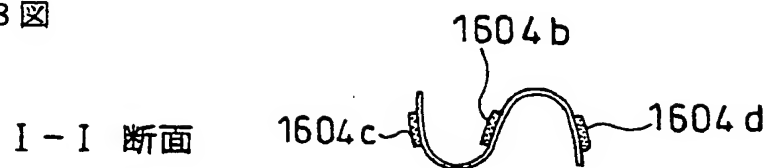


第17図

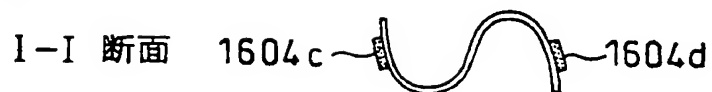


16 / 19

第18図

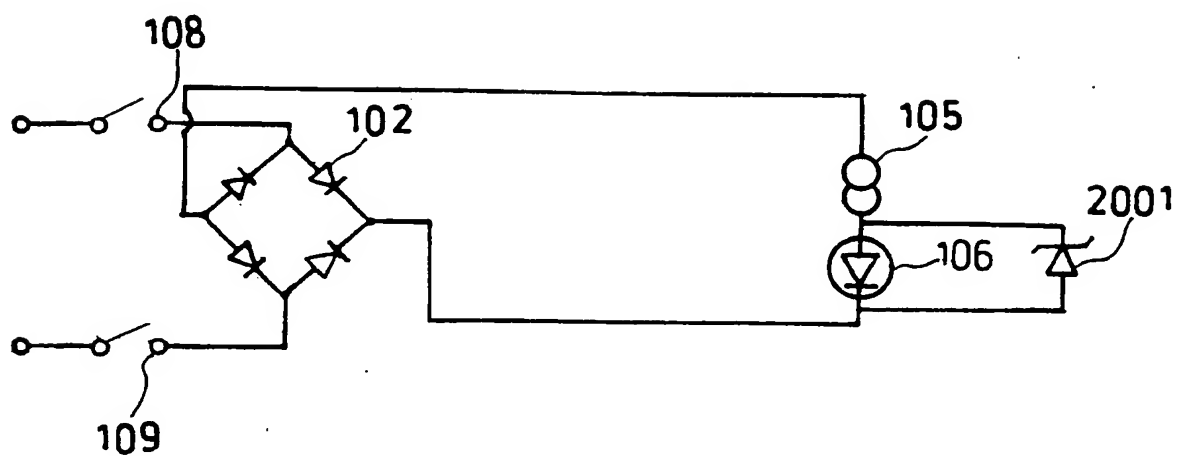


第19図

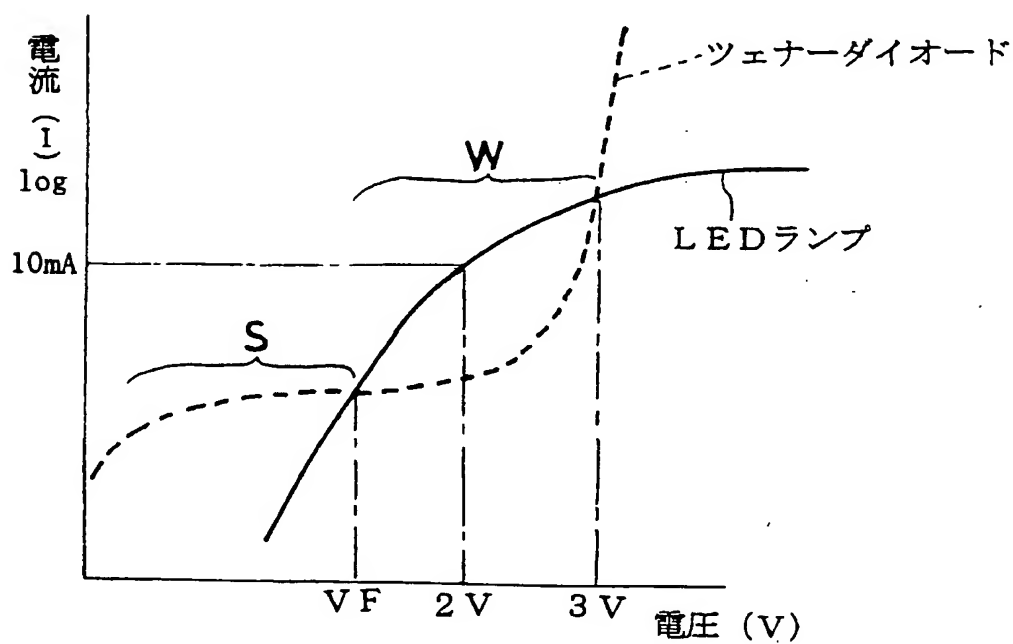


17/19

第20図

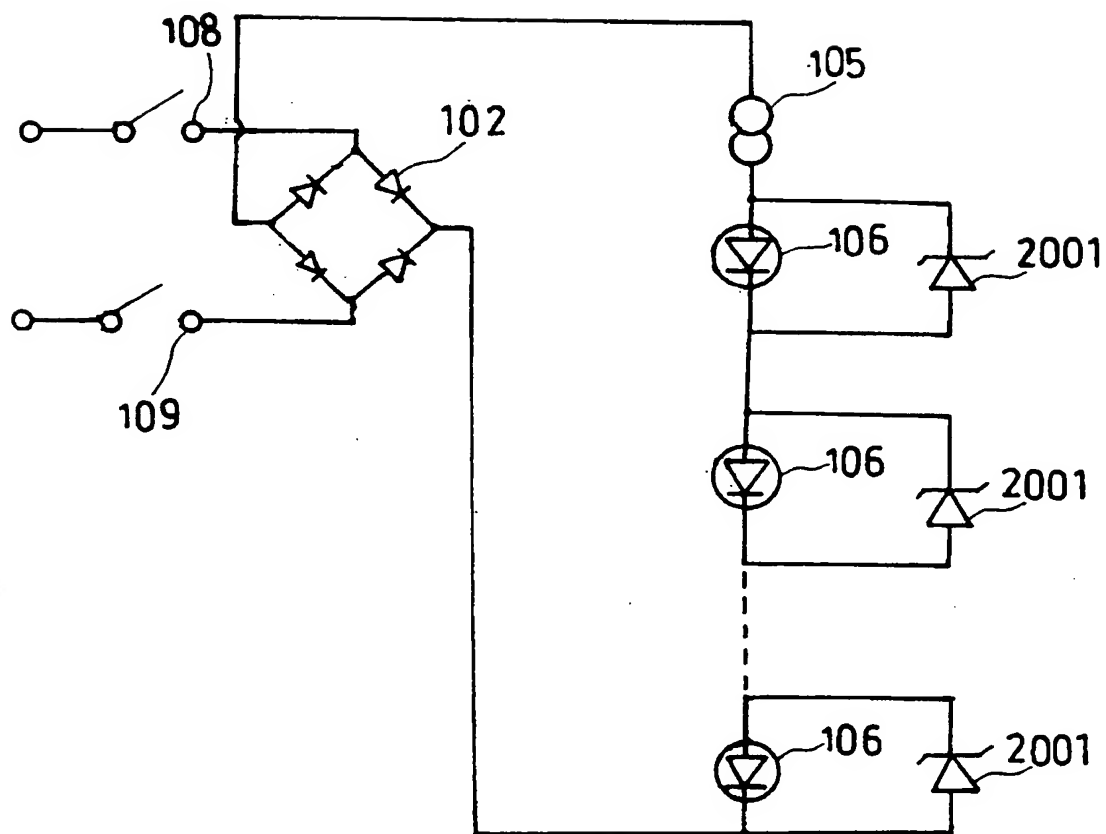


第21図



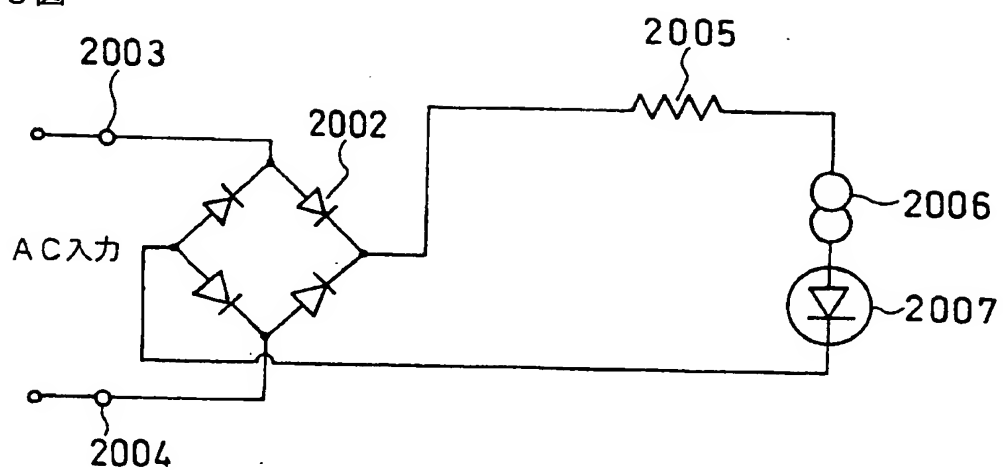
18/19

第22図

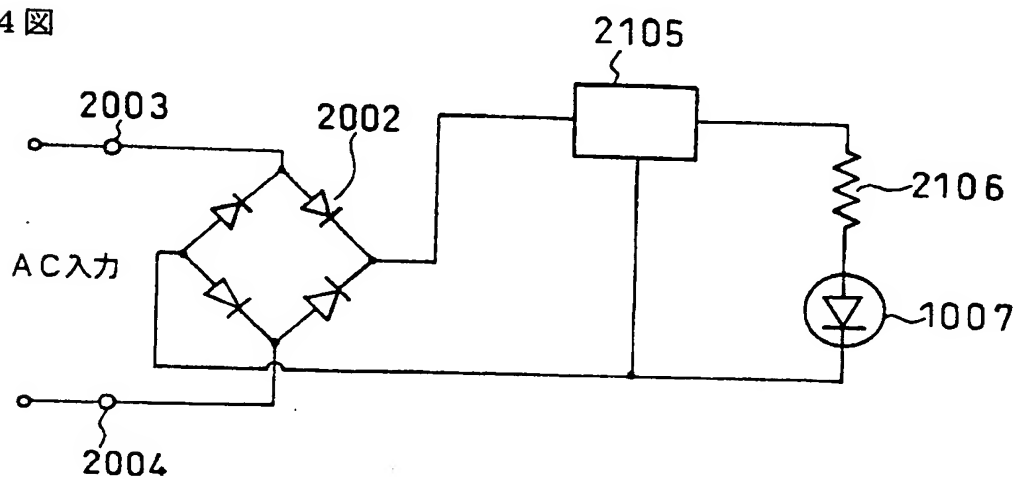


19/19

第23図



第24図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/08838

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H05B37/02, H02M7/06, H01L33/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H05B37/02, H02M7/06, H01L33/00, F21S2/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1940-1996	Toroku Jitsuyo Shinan Koho	1994-2001
Kokai Jitsuyo Shinan Koho	1971-2001	Jitsuyo Shinan Toroku Koho	1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 54-152987, A (Tokyo Shibaura Denki K.K.), 01 December, 1979 (01.12.79), Full text; Fig. 3 (Family: none)	1, 4, 5
X	JP, 7-273371, A (Okaya Electric Ind. Co., Ltd.), 20 October, 1995 (20.10.95), page 2, Column 1, lines 40 to 47; Fig. 6 (Family: none)	1, 4, 5
A	JP, 9-97925, A (Pioneer Electronic Corporation), 08 April, 1997 (08.04.97), Full text; Figs. 1 to 11 & EP, 0766221, A1	2, 3, 13, 14
Y	JP, 60-54483, A (Nippon Denyo K.K.), 28 March, 1985 (28.03.85),	6, 7
A	Full text; Figs. 1 to 8 (Family: none)	8
Y	CD-ROM of the specification and drawings annexed to the request of Japanese Utility Model Application No.3948/1993 (Laid-open No.62558/1994)	6
A	(Hakuyo Denkyu K.K.), 02 September, 1994 (02.09.94),	15, 16, 18, 19

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
09 March, 2001 (09.03.01)Date of mailing of the international search report
21 March, 2001 (21.03.01)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/08838

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	Full text; Figs. 1 to 2 (Family: none)	
Y	JP, 11-97747, A (DB Seiko K.K.), 09 April, 1999 (09.04.99),	6, 7
A	Full text; Figs. 1 to 7 (Family: none)	8
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No.35216/1986 (Laid-open No.147366/1987) (Fuji Electric Co., Ltd.), 17 September, 1987 (17.09.87), Full text; Figs. 1 to 11 (Family: none)	15,16,18,19
A	JP, 6-29575, A (Hughes Aircraft Company), 04 February, 1994 (04.02.94), Full text; Figs. 1 to 5 & US, 5287372, A	9-12,17,20
A	JP, 9-74224, A (Canon Inc.), 18 March, 1997 (18.03.97), Full text; Figs. 1 to 11 (Family: none)	9-12,17,20
A	JP, 11-67471, A (ASAHI TEC CORPORATION), 09 March, 1999 (09.03.99), Full text; Figs. 1 to 7 (Family: none)	9-12,17,20
A	FR, 2631102, A1 (ALCATEL CIT, Société Anonyme), 10 November, 1989 (10.11.89), Full text; Figs (Family: none)	9-12, 7,20

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl¹ H05B37/02, H02M7/06, H01L33/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl¹ H05B37/02, H02M7/06, H01L33/00, F21S2/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1940-1996年
日本国公開実用新案公報	1971-2001年
日本国登録実用新案公報	1994-2001年
日本国実用新案登録公報	1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 54-152987, A (東京芝浦電気株式会社) 1. 12月. 1979 (01. 12. 79) 全文, 第3図 (ファミリーなし)	1, 4, 5
X	J P, 7-273371, A (岡谷電機産業株式会社) 20. 10月. 1995 (20. 10. 95) 第2頁第1欄第40-47行, 図6 (ファミリーなし)	1, 4, 5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

09. 03. 01

国際調査報告の発送日

21.03.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

関 信 之

3 X

9 2 4 9

電話番号 03-3581-1101 内線 3372

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 9-97925, A (パイオニア株式会社) 8. 4月. 1997 (08. 04. 97) 全文, 図1-11 & EP, 0766221, A1	2, 3, 13, 14
Y	JP, 60-54483, A (日本デンヨー株式会社) 28. 3月. 1985 (28. 03. 85)	6, 7
A	全文, 第1-8図 (ファミリーなし)	8
Y	日本国実用新案登録出願5-3948号 (日本国実用新案登録出願 公開6-62558号) の願書に添付した明細書及び図面の内容を 記録したCD-ROM (船用電球株式会社)	6
A	2. 9月. 1994 (02. 09. 94) 全文, 図1-2 (ファミリーなし)	15, 16, 18, 19
Y	JP, 11-97747, A (株式会社デービー精工) 9. 4月. 1999 (09. 04. 99)	6, 7
A	全文, 図1-7 (ファミリーなし)	8
A	日本国実用新案登録出願61-35216号 (日本国実用新案登録 出願公開62-147366号) の願書に添付した明細書及び図面 の内容を撮影したマイクロフィルム (富士電機株式会社) 17. 9月. 1987 (17. 09. 87) 全文, 第1-11図 (ファミリーなし)	15, 16, 18, 19
A	JP, 6-29575, A (ヒューズ・エアクラフト・カンパニー) 4. 2月. 1994 (04. 02. 94) 全文, 図1-5 & US, 5287372, A	9-12, 17, 20
A	JP, 9-74224, A (キャノン株式会社) 18. 3月. 1997 (18. 03. 97) 全文, 図1-11 (ファミリーなし)	9-12, 17, 20
A	JP, 11-67471, A (株式会社テック) 9. 3月. 1999 (09. 03. 99) 全文, 図1-7 (ファミリーなし)	9-12, 17, 20
A	FR, 2631102, A1 (ALCATEL CIT, Société Anonyme) 10. 11月. 1989 (10. 11. 89) 全文, 図面 (ファミリーなし)	9-12, 17, 20